

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.

G02F 1/1343

G02F 1/136

(11) 공개번호

특1999-0067999

(43) 공개일자

1999년08월25일

(21) 출원번호 10-1999-0001546

(22) 출원일자 1999년01월19일

(30) 우선권주장 1998-7234 1998년01월19일 일본(JP)

(71) 출원인 가부시끼가이사 히다치 세이사꾸쇼, 가나이 쓰도무

일본

000-000

일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자 니시무라에쓰코

일본

일본국이바라키행하단치오오타시텐진바야시 포1225-11

카와치켄시로오

일본

일본국이바라키행하단치시모리야마포3-17-2-705

오니사와촌이치

일본

일본국이바라키행하단치나카시소토노2-8-18

차하라켄이치

일본

일본국이바라키행하단치시미즈키포2-20-1

사토단케시

일본

일본국이바라키행하단치시아유카와포6-20-3

타무리카쓰미

일본

일본국이바라키행하단치시미나미코아포3-12-22

(74) 대리인 신종훈

일본

(77) 심사청구 없음

(54) 출원명 액정표시장치

요약

본 발명은 액정표시장치에 있어서의 배선을, Nb 또는 Nb를 주성분으로 하는 합금으로 이루어진 제1층과, Nb 또는 Nb를 주성분으로 하는 합금의 질화물을로 이루어진 제2층과의 적층막으로 구성하는 것을 특징으로 한 것이고, 내용산화성에 뛰어난 배선구조를 가진 액정표시장치가 개시된다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 코프레이너형 TFT를 사용해서 구성한 본 발명의 실시예에 관한 액정표시장치의 단면도이고, 도 2에 표시한 x-x'에 의해 표시한 선에 따른 단면도

도 2는 코프레이너형 TFT를 사용해서 구성한 본 발명의 실시예에 관한 액정표시자치의 단위화소의 명연도

도 3은 코프레이너형 TFT를 사용해서 구성한 본 발명의 실시예에 관한 액정표시장치의 단면도이고, 도 2에 표시한 y-y'에 의해 표시한 선에 따른 단면도

도 4는 도 2에 표시한 게이트전극배선의 단면도

도 5는 CMOS인버터를 사용해서 구성한 구동회로를 표시부와 함께 동일기판상에 접촉한 본 발명의 실시예의 액티브매트릭스형 액정표시장치

전체의 등기회로도

도 6은 본 발명의 실시예에 관한 CMOS인버터회로의 구성도
 도 7은 도 6에 표시한 인버터회로의 패턴배치도
 도 8은 도 7에 표시한 x-x'에 의해 표시한 선을 따른 단연도
 도 9는 도 7에 표시한 y-y'에 의해 표시한 선을 따른 단연도
 도 10은, 엑스래거형 TFT를 사용해서 구성한 본 발명의 실시예의 액티브매트릭스형 액정표시장치의 단위화소의 평면도
 도 11은 도 10에 표시한 x-x'에 의해 표시한 선을 따른 단연도
 도 12는 도 10에 표시한 y-y'에 의해 표시한 선을 따른 단연도
 도 13은 본 발명의 실시예에 관한 액티브매트릭스형의 액정표시장치의 단연모식도
 도 14는 코프레니아형 TFT를 사용해서 구성한 본 발명의 비교예의 액티브매트릭스형 액정표시장치의 단위화소의 평면도
 도 15는 도 14에 표시한 x-x'에 의해 표시한 선을 따른 단연도
 도 16은 도 14에 표시한 y-y'에 의해 표시한 선을 따른 단연도
 도 17은 도 14에 표시한 z-z'에 의해 표시한 선을 따른 단연도
 도 18은 도 14에 표시한 본 발명의 비교예의 게이트전극배선의 형성공정마다의 단연도
 도 19는 열처리온도를 바꾸어서 열처리했을때의 Nb막의 저항변화를 표시한 도면
 도 20은 표면활성제마감화처리를 가한 Nb막을 열처리하였을때의 저항변화를 표시한 도면
 도 21은 Nb층가장을 바꾸어 형성한 질화Nb막(NbN계)의 저항특성을 표시한 도면
 도 22는 도 21에 표시한 NbN층가장을 바꾸어 형성한 Nb의 질화막(NbN계)의 X선회절스펙트를 표시한 도면
 도 23은 열처리온도를 바꾸어 열처리했을때의 Nb계/NbN계 적층막의 저항변화를 표시한 도면
 도 24는, SiF₆을 사용해서 예침하였을때의 Nb, NbN, SiO₂, SiN, 및 레지스티드막의 예침시간과 예침막두께와의 관계를 플로트한 도면
 도 25는 CHF₃을 사용해서 예침하였을때의 Nb, NbN, SiO₂막의 예침시간과 예침막두께와의 관계를 플로트한 도면
 도 26은 Nb계/NbN계 적층막의 배선파란단부의 단연모식도
 도 27은 Nb계/NbN계 적층막과 Cr, 또는 CrMo와의 스루우홀을존택트저항을 표시한 도면

도 28은 NbN계/Nb계/NbN계 적층막의 배선의 단연도
 도 29는 NbN계/Nb계/NbN계 적층막의 배선의 단연도

<도면의 주요부분에 대한 부호의 설명>

50: 액티브매트릭스51: 수직주사회로
 52: 스위치매트릭스회로53: 수평주사회로
 101: TFT102: 회소표시영역
 103: 유리기판104: 밀바탕막
 105: TFT의 채널명역106: 게이트절연막
 107: Nb 또는 Nb를 주성분으로 하는 합금으로 이루어진 제 1층
 108: Nb의 질화물 및 Nb를 주성분으로 하는 합금의 질화물들로 이루어진 제 2층
 109: 드레인-소스영역에 풀온들을 도우밀한 활성층
 110, 1501: 총간절연막111: 드레인전극
 112: 소스전극113: 회소전극
 114: 보호절연막201: 게이트전극
 202: 게이트전극배선203: 드레인전극배선
 401: 전성다결정 Si막으로 이루어진 셀매연
 701: PMOS702: NMOS

703, 704: TFT의 게이트전극705: 제 1배선전극
 706: 제 2배선전극1001: 부가용량
 1101: SiO₂막으로 이루어진 제 1게이트풀연막
 1102: SiN막으로 이루어진 제 2게이트풀연막
 1302: 액정층1304: 커리큘터
 1305: 대형유리기판1306: 대형전극
 1307: 커리큘터보호막1308: 치광막
 1401: 풀온들을 도우밀한 다결정 Si막으로 이루어진 제 1게이트전극
 1801: 비诘경성 Si막7: 스루우
 SL: 시밀재SL: 은페이스트제
 OR1, OR2: 배향막OR: 백라이트 BL

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 동향기술

본 발명은, 액정표시장치에 관하여, 특히 그 전극배선구조에 관계한다.

액정표시장치의 배선재료로서, 일본국 특개령 03-182723호 공보에서는, 게이트배선으로서, 고농도의 불순물을 가진 Poly-Si막과 Al(율루미늄)막을 적층하는 취지가 기재되어 있다.

또, 액정표시장치의 배선재료로서, 일본국 특개령 5-55575호 공보에서는, 저저항치와 내약품성을 가진 Ta(탄탈)와 Nb의 합금, Nb 또는 Nb를 주성분으로 하는 금속재료를 사용하는 취지가 기재되어 있다.

또, 일본국 특개 2-106723호 공보에서는, 게이트선의 배선재료로서 기판으로부터 Nb, Ta순으로 적층한 것을 사용하고, 양극산화에 의해 그 표면을 산화하고, 또 SiO_2 (산화실리콘) 또는 SiN (질화실리콘)으로 이루어진 게이트절연막을 적층한 TFT에 대해서 제안하고 있다. 이에 의하면 Ta단층막을 사용한 경우에 비해서 저저항치의 저항이 도모되고, 또한 게이트선과 드레인선간의 단락방지에 유효하다는 취지가 기재되어 있다.

또, 일본국 특원령 7-147852호 공보에서는, 게이트·드레인전극의 전부 또는 적어도 암쪽에 Nb를 사용하는 것을 제안하고 있고, 이에 의하면 합금이나 다른 금속재료로 이루어진 2층막을 사용하는 일이 없기 때문에, 시스템효율이 향상하고, 저저항치와 저음핵, 또한 드라이에첨가공이 용이한 전극구조를 실현할 수 있는 취지가 기재되어 있다.

발명이 이루고자 하는 기술적 과제

종래의 액정표시장치의 배선, 특히 Si를 사용한 게이트전극에서는 AI막의 융점(660.4°C)이 낮기 때문에 충간 절연막 형성시의 열처리에 의해 할로겐이나 워스커가 발생하는 동시에, AI의 내율산화성의 낮음으로부터 배선의 저항의 상승에 의한 구동파형의 날(鉛)이나, 배선간 소트가 발생하고 있다.

또, 통상 AI배선은 웨트에침법에 의해 AI막을 페터닝하기 때문에, 단부형상을 제어하는 것은 곤란하고, 충간절연막(110)이나 드레인전극배선(203)의 주위 불량이 발생하기 쉽고, 배선간 소트나 드레인선불량의 원인이 된다.

본 발명의 목적은 내율산화성이 뛰어난 배선구조를 적용한 액정표시장치를 제공하는 데 있다.

발명의 구성 및 작용

본 발명의 특징과 함께는 나온 금속배선을 가진 액정표시장치에 있어서, 그 금속배선을 Nb 혹은 Nb를 주성분으로 하는 합금으로 구성되는 제 1층과 Nb의 질화물 혹은 Nb를 주성분으로 하는 합금의 질화물을 구성하는 것이다. 이 구성으로 함으로써, 금속배선의 내율산화성을 향상시킬 수 있다. 또, 금속배선의 저항이 문제가 되지 않는 경우는, 금속배선을, Nb 혹은 Nb를 주성분으로 하는 합금으로 이루어진 제 1층을 생략해서 Nb의 질화물 혹은 Nb를 주성분으로 하는 합금의 질화물을 단층으로 구성해도, 마찬가지로 내율산화성을 향상시킬 수 있다.

또, 제 1층 아래에 Nb의 질화물 혹은 Nb를 주성분으로 하는 합금의 질화물을 구성되는 제 3층을 형성하면, 제 1층과 다른 부재와의 접촉의 접점을 피할 수 있다. Nb의 질화물 혹은 Nb를 주성분으로 하는 합금의 질화물은, 특히 절연막과의 상성(相性)이 좋기 때문에, 제 1층의 저항상승 단선 등을 방지할 수 있다. 이를 배선상에 산화실리콘막을 형성해도 배선이 융선화되지 않으므로, 보다 높은 효과를 얻을 수 있다. 또, 제 1층과 제 2층, 바람직하게는 제 3층을 동일 패턴으로 일괄에 형성하여 프로세스스텝수를 감소시킬 수 있다. 배선의 단부를 순(順) 터이파형으로 형성할 수도 있다.

다른 구성으로서는, 1층의 기판과, 상기 1층의 기판에 기워유저단 액정층을 가지고, 이 1층의 기판에는 복수의 게이트전극배선과, 이를 복수의 게이트전극배선에 교차하도록 형성된 복수의 드레인전극배선, 이를 배선의 교차점에 대응해서 형성된 복수의 박막트랜지스터와, 이를 복수의 박막트랜지스터에 대응해서 형성된 복수의 소스전극을 가진 액정표시장치에 있어서, 복수의 게이트전극배선, 드레인전극배선 및 소스전극과 공통전극, 공통전극배선을 가진 경우에는, 풀트랜극, 공통전극배선중의 주어도 1개가 Nb 또는 Nb를 주성분으로 하는 합금으로 이루어진 제 1층과 Nb 또는 Nb를 주성분으로 하는 합금의 질화물을 이루어진 제 2층을 가진 층층막으로 구성되도록해도 마찬가지로 내율산화성을 향상되나, 게이트전극배선에 사용하면서 특히 효과가 있다. 배선자이 문제에 문제가 되지 않는 경우에는, Nb 혹은 Nb를 주성분으로 하는 합금으로 이루어진 제 1층을 생략해서, 이를 전극 또는 전극배선을 Nb의 질화물 혹은 Nb를 주성분으로 하는 합금의 질화물을 이루어진 제 2층으로 구성해도, 마찬가지로 내율산화성을 향상될 수 있다.

이를 구조에 대해서도, 제 1층의 아래에 Nb의 질화물 혹은 Nb를 주성분으로 하는 합금의 질화물을 구성되는 제 3층을 형성하는 것이 바람직하다.

제 1층과 제 2층을 가진 층층막으로 구성된 배선위에 산화실리콘막으로 구성된 절연층을 형성하면, 더욱 효과가 명확해진다.

또, 본 발명의 전극구조를 게이트전극배선에 사용하는 경우에는, 산화실리콘막을 박막트랜지스터의 게이트절연막의 적이도 일부가 되도록 형성하는 것이 바람직하다.

먼저, 본 명세서에서 사용하는 주된 부호의 설명을 한다. (50)은 액티브매트릭스, (51)은 수직주사회로, (52)는 스위치메트릭스회로, (53)은 수평주사회로, (101)은 TFT, (102)는 화소표시영역, (103)은 유리기판, (104)는 밀바탕(下地)막, (105)는 TFT의 채널영역, (106)은 게이트절연막, (107)은 Nb, 또는 Nb를 주성분으로 하는 합금으로 이루어진 제 1층, (108)은 Nb의 질화물 및 Nb를 주성분으로 하는 합금의 질화물을 이루어진 제 2층, (109)는 드레인·소스영역에 볼트들을 도장한 절연층, (110), (1501)은 충간절연막, (111)은 드레인전극, (112)는 소스전극, (113)은 화소전극, (114)는 보호절연막, (201)은 게이트전극, (202)은 게이트전극배선, (203)은 드레인전극배선, (401)은 전성다결정Si막으로 이루어진 채널층, (701)은 PMS, (702)은 NMOS, (703), (704)는 TFT의 게이트전극, (705)은 제 1배선전극, (706)은 제 2배선전극, (1001)은 부가용량, (101)은 SiO_2 막으로 이루어진 제 1계이트절연막, (102)는 SIN막으로 이루어진 제 2계이트절연막, (1302)는 액정층, (1304)는 커러필터, (1305)는 대형유리기판, (1306)는 대형전극, (1307)은 커러필터보호막, (1308)은 차광막, (1401)은 불순물을 도표한 커터필터.

다결정 Si막으로 이루어진 제 1계이트전극, (1801)은 비결정성 Si막, TH는 스루우호출TH, SL은 시일재, SIL은 은페이스트재, OR1, OR2는 배향막, BL은 백라이트 BL을 각각 표시한다.

도 14(a), 코프레이너트 TFT를 사용해서 구성한 바이오에의 액정표시장치의 단위회소의 패턴도를 표시한다. 도 15, 도 16, 도 17은 각각, 도 14중 x-x', y-y', z-z'에 의해 표시한 선을 따른 단면도이다.

액정표시장치는 밀반응막(104)부착의 유리기판(103)상에 형성된 게이트전극배선(202)과, 이에 교차하도록 형성된 드레인전극배선(203)과, 이를 전극배선의 교차부에 대응해서 교차부부근에 형성된 TFT(101)와, 화소표시면역(102)으로 구성된다.

도 15와 표시한 바와 같이, TFT(101)은 진성다결정 Si막으로 이루어진 채널영역(105)과, 채널영역(105)상에 형성된 게이트줄연막(106)과, 게이트줄연막(106)상에 형성된 불순물을 도우팅한 다결정Si막으로 이루어진 제 1계이트전극(1401)과, A/S(알루미늄)으로 이루어진 제 2계이트전극(201)과, 상기 진성다결정 Si막으로 이루어진 채널영역(105)의 드레인-소스영역에 불순물을 도우팅한 활성층(109)에,

스루우호출을 개재해서 결속된 드레인전극(111)과 소스전극(112)에 의해 구성된다. 상기 TFT의 소스전극(112)에는, 화소전극(113)이 접속되어 있다. (1501), (110)은 충간줄연막, (114)는 보호줄연막이다.

TFT(101)의 게이트전극에 천안하면, 도 16에 표시한 바와 같이, 다결정 Si로 이루어진 제 1계이트전극(1401)과 Al로 이루어진 제 2계이트전극(201), 충간줄연막(1501)에 개구한 스루우호출을 TH를 개재해서 접속된 2층게이트전극구조인 것을 알 수 있다.

이 2층전극구조중의 Al로 이루어진 제 2계이트전극(201)을 연장한 부분이 그대로 게이트전극배선(202)이 된다. 도 17에 표시한 바와 같이, 서로 이루어진 게이트전극배선(202)과 드레인전극배선(203)은, 충간줄연막(110)을 사이에 두고 교차부분을 활성하는 구조로 되어 있다.

도 18은, 도 14~도 17에 표시한 바이오에에 있어서, 게이트전극배선형성공정을 각 공정마다 표시한 단면도이다. 이 단면도를 사용해서 본 발명의 과정을 더욱 상세히 설명한다.

먼저, 도 18(a)와 같이 일반방법(104)부착의 유리기판(103)위에 진성다결정 Si막으로 이루어진 섬파턴(401)을 형성한다. 통상, CVD법등으로 형성한 비결정성 Si막을 열아닐, 레이저아닐 등의 수법으로 다결정화해서 형성한다.

이어서, 도 18(b)와 같이 기판전체에 게이트줄연막(106), 및 후처리하는 공정으로 다결정화후에 제 1계이트전극(1401)이 되는 비결정성 Si막(1801)을 형성한다. 게이트줄연막(106)에는 종상 CVD법에 의해 형성한 SiO₂막, SiN막 등이 사용된다.

다음에, 도 18(c)와 같이, 게이트줄연막(106)과 비결정성 Si막(1801)을 동일 패턴에 의해 일괄에칭한다. 이와 같은 공정을 채용할 경우, 제 1계이트전극은, 게이트줄연막(106)과의 일괄 드라이에坑가공의 용이한 전극배선재료에 의해 구성될 필요가 있다.

다음에, 도 18(d)와 같이, 기판전체에 n형 도우팅된 인이온을 도우팅한다. 이때, 게이트줄연막(106)과 비결정성 Si막(1801)의 전족파티너이 마스크가 되고, 진성다결정 Si막으로 이루어진 채널영역(105)이 자기정합작(疎合狀)으로 형성된다.

또, 주변회로부분의 P형 TFT부분에는, 포토리ез스트 등을 마스크로써 P형 도우팅된 붕소이온을 선택적으로 도우팅한다. 린 및 붕소의 도우팅에는, 이온주입법 또는 이온도우팅법이 사용된다.

다음에 도 18(e)와 같이, 활성화 아닐에 의해, 도우팅한 불순물이온을 활성화해서, 다결정 Si게이트전극(1401) 및 드레인-소스영역이 되는 활성층(109)을 형성한다. 이때의 활성화 아닐에는, 열아닐, 레이저아닐 등의 수법이 사용된다. 열아닐의 온도는 통상 600°C 이상이고, 레이저아닐의 경우에는 Si막의 표면온도는 약 1,000°C에도 도달한다. 따라서, 제 1계이트전극에는, 이를 활성화아닐공정에 대한 내결정성이 요구된다. 예를 들면, 통상 전극배선재료로서 사용되고 있는 Al은, 상기한 바와 같이 저온점결속이기 때문에 사용할 수 없다. 또, 열적(熱的)인 병행이 걸리기 때문에 저온화학적인 막의 경우 요구된다. Cr(크롬)은 고용점금속(융점:1860°C)이나, 막층폭이 높기 때문에, 활성화아닐후에 전극에 굽들이 발생해버려 사용할 수 없다.

여기서, 다결정Si로 이루어진 게이트전극(1401)은 도우팅되어 있다고는 하나 예술에 비해서 고정항이기 때문에, 표시장치내를 돌아다니는 게이트전선(202)으로서는 사용할 수 없다. 따라서, 다결정 Si로 이루어지는 제 1계이트전극(1401)에 접속하는 저저항에탈로 이루어진 제 2계이트전극선이 필요하게 된다.

그러나, TFT가 노출된 이 단계(도 18(e))에서 제 2계이트전극전선으로서 만일 Al막(201)을 형성하면, TFT가 오영을 받아서, 한계전압의 시프트나 오프전류의 증가 등의 TFT 특성불량의 원인이 된다.

그래서, 다음에 도 18(f)와 같이, 기판전체연에 충간줄연막(1501)을 형성한다. 충간줄연막(1501)은, TFT와 제 2계이트전극전선이 되는 Al막(201)과의 접촉을 방지하기 위한 보호막이며, 통상 CVD법에 의해 형성한 SiO₂막, SiN막 등이 사용된다. 또, 도 18에는 표시하고 있지 않으나, 제 2의 게이트전선(201)위에는, 다른 충간줄연막(110)이 충간줄연막(1501)과 마찬가지로 형성되어 있다. 이를 절연막은 200~400°C의 고온으로 풀리조마 CVD법에 의해 형성된다. 따라서, Al막 표면이 용이하게 산화를 받아 버리다고 하는 문제가 발생한다.

이 제 1 및 제 2계이트전극전선을 Al대신에, 일본국 특개행 7-147852호에 기재된, 저저항, 저용적, 또한 드라이에坑가공의 용이한 전극배선재로인 고용점금속 Nb(용점: 2470°C)의 적용을 시도하였다. Nb막 형성직후의 저저항은 낮은 것이다. 이 막을 형성한 후에 절연막을 형성하고, 그후에 실제로 배선저항을 측정해보면 저저항이 상승했다. 이 이유는, Nb막으로 이루어진 배선위에 200~400°C의 고온으로 풀리조마 CVD법에 의해 SiO₂막이나 SiN막으로 이루어진 절연막이 형성되기 때문에, Nb막 표면이 산화를 받아, 저저항의 산화니오브가 형성되어 버리기 때문이다. 특히 SiO₂막을 사용한 경우에는, Nb막 표면이 강한 산화풀리조마분위기에서 꽉이기 때문에, 특히 저저항이 상승했다.

온산화에 의한 저저항상승의 일례로서, 도 19(a), 열처리온도를 바꾸어서 열처리하였을때의 Nb막의 저저항변화(도면증 확장)로 표시된다. 오븐을 사용해서 대기온, 각온도 1h의 열처리를 하였을때의 Nb막의 저저항상승의 비율(도면증 증폭), 열처리전의 저저항에 대한 열처리후의 저저항의 비율을 표시한다. Nb막의 저저항은 180°C부근으로부터 상승하기 시작해서, 250°C를 초과하면 급격히 증대하는 것을 알 수 있다.

300°C에서의 저저항상승의 비율은 약 2.5배, 350°C에서는 4.5배로 되는 것을 알 수 있다. 이 저저항상승의 비율은, 실제로 TFT 소자를

형성했을때에 보여진 Nb전극전선의 저저항 상승의 경향과 일치하고 있다. 액정표시장치의 배선의 저저항화는 큰 문제이고, 특히 액터브이터블록스층의 액정표시장치에 있어서는 이와 같은 전극전선의 저저항화는 치명적이다. 무엇인가 좀 Nb막의 내열산화성 향상책이 시행되지 않는 한, Nb, 및 Nb를 주성분으로 하는 금속재료를 사용한 배선의 실현은 근본하다. TFT용의 절연막의 형성방법으로서, 풀리조마

CVD 외에, 예를 들면 유기용제에 사용하는 페하이트로풀리실라잔 등의 무기풀리미를 스피크트로에 의해 기판에 도포, SiO_2 막을 형성하는 방법이 있다. 도포법에 있어서도, 막 특성화상을 위해서는 도포막의 소성공정이 불가결하고, 마찬가지로 전극 배선의 내열산화성의 형상이 요구된다. 도 20 ~ 도 27을 사용해서, Nb 또는 Nb를 주성분으로 하는 황화물로 이루어진 제 1층과, Nb 또는 Nb를 주성분으로 하는 합금의 질화물로 이루어진 제 2층과의 적층막구조의 구성 및 그 효과를 원리적으로 설명한다.

이하, 'Nb 또는 Nb를 주성분으로 하는 합금'을 「Nb계」, 「Nb 또는 Nb를 주성분으로 하는 합금의 질화물」을 「NbN계」로 표시하고, 이들의 적층구조를 표시할 때는 경계를 「/」에 의해 구획하여 표시하는 것으로 한다. 또한, 제 1층(하층)이 Nb계, 제 2층(상층)이 NbN계의 적층막구조의 경우, 본서 중에서는, Nb계/NbN계 적층막이라고 기재하고 있다.

도 20은, Nb막의 표면을 플라즈마 질화처리해서 형성한 질화Nb막과 Nb막의 적층막상에, SiO_2 막을 형성했을 때의 저항변화를 표시한다. 여기서 Nb막은, $\text{Dc}-\text{Mg}-\text{Ne}$ 스피드팅법을 사용해서, 기판온도는 130°C , Ar가스유량은 60sccm, 파워는 2100W, 압력은 0.2Pa이고, 200m의 악두께로 형성했다. 또한, 이 조건으로 형성한 Nb막의 풍속은 거의 제로인 것을 확인했다. Nb막표면은, N_2 가스 200sccm, 파워 500W, 압력 27Pa에 의해 플라즈마 질화했다. 플라즈마 질화처리 시간을 바꾸어서 평가했다. SiO_2 막은, RF플라즈마 CVD법을 사용해서, 기판온도는 330°C , TEOS(라트라에톡시실란): O_2 가스 유량은 15:3000sccm, 파워는 1000W, 압력은 133Pa이고, 악두께 300nm 형성했다. 이것은, TFT프로세스에 있어서, 통상 사용되는 SiO_2 막 조건에 상당한다.

도 20의 횡축은 플라즈마 질화처리시간이고, 처리시간이 길수록 표면에 형성되는 NbN의 악두께가 두껍게 되어 있다. 처리시간 0에서의 값이 Nb단층막의 저항상승의 비율을 표시한다. 도 20의 종축은, 저항상승의 비율을 as-depo(원본)한 시의 저항과 SiO_2 막 형성후의 저항과의 비에 따라서, 표시하고 있다. Nb막표면은, SiO_2 막 형성시 330°C 의 강한 신화플라즈마분위기의 힘으로써, 악 2.5배의 저항상승이 인지되는 경우에 대해서, 처리시간 30min의 막에서는 저항상승이 거의 인지되지 않는 것을 알 수 있다. 이에 따라서, Nb계/NbN계 적층막구조를 제작함으로써, Nb계 단층막에 비해서, 내열산화성이 대폭적으로 향상하고 있는 것을 알 수 있다. 이에 따라서, Nb계/NbN계 저항상승을 초래하는 일 없이, 강신화플라즈마분위기에서 충간질연막인 SiO_2 막을 형성할 수 있게 된다. 얻어진 Nb계/NbN계 적층막은, Nb계 단층막과 마찬가지로 고용량, 저용력이다. 따라서, A인전극 배선에 보였던 것과는 틀림이나 위스커가 발생할 염려도 없다. 또한, 도포법에 의해 SiO_2 막을 형성한 경우에 있어서도, 마찬가지로 내열산화성의 형상화효과가 인지되었다. 구체적으로는, 일례로서, 시료를 히트으로 회석한 할리드로풀리실라잔을 스피크트로에 의해 도포형성하고, 그후 대기속에서 400°C , 1시간 소성후에도 Nb계/NbN계 적층막의 저항상승이 인지되지 않는 것을 확인할 수 있었다.

상층의 NbN계의 악두께에 대해서는, 도 23에 후술하나, 5nm 이상으로 내열산화성 형상의 효과가 인지되었으나, 악두께가 두꺼워질 수록 그 효과가 커지는 경향에 있다. 그러나 NbN계 막의 비자화인 Nb계막에 비해서 커므로서, NbN계 막의 악두께를 두껍게 하는 것은 Nb계/NbN계 적층배선의 저항을 증가시키게 되어, 바람직하지 않다. NbN계막의 악두께로서는, 5nm 이상 100nm이하의 범위가 바람직하다. 또, 이것과는 반대로, 배선 저항이 NbN계막의 비자화 레벨에 의해 문제로 되지 않는 경우에는, 하층의 Nb계막을 생략해서 NbN계 단층막으로 배선을 구성할 수도 있다.

또, 하층의 Nb계막의 비자화치는 $20\mu\text{m}$ 이하가 적당하다. 이 값이상으로 고저항의 Nb계막은 저항성의 단계에서 이미 악자체에 달인 신소를 향유하고 있기 때문에, Nb계/NbN계 적층막의 효과를 얻기 어려웠다.

또, 상층의 Nb계/NbN계 적층막의 용액으로서, 도 28, 도 29와 같이, 저온막위에 형성된 배선을 Nb의 질화물 또는 Nb를 주성분으로 하는 합금의 질화물로 이루어진 제 1층(100), Nb 또는 Nb를 주성분으로 하는 질화물로 이루어진 제 1층(107), Nb의 질화물 또는 Nb를 주성분으로 하는 합금의 질화물로 이루어진 제 2층(108)의 순번으로 적층한 적층막으로 구성하는 구조가 있다. 이와 같이 절연막위에 Nb계 막을 적층 접촉하는 것이 아니고, NbN계 막을 개재하고 있으므로, 절연막으로부터의 신소 확산에 의해 NbN계의 질화를 저하시키는 일이 없다. 또, NbN계 막을 하층에 추가함으로써, Nb계/NbN계 적층막의 절연막과의 밀착성이 향상시킬 수 있다.

상층의 NbN계의 악두께와 마찬가지로, 이 하층의 NbN계 막의 두께도 5~100nm의 범위가 적당하다.

Nb계/NbN계 적층막의 형성방법으로서, 상기의 Nb계 막의 표면질화라는 단계이외에, 다채일바 예열정의 스피드팅장치를 사용하는 등, 스피드팅장치를 연구하는 방법이 적용가능하다. 이 방법에 의하면, Nb계/NbN계 적층막을 연속형성할 수 있고, NbN계 막 형성에 의한 공중증가를 억제할 수 있다. 다른 Nb계/NbN계 적층막의 형성방법으로서는, 상기 외에, 예를 들면 Nb계 디아이트를 사용해서 스피드팅법으로 형성한 Nb계 막상에, Nb계의 질화물로 이루어진 디아이트를 사용해서 스피드팅법으로 형성한 NbN계 막을 적층해서 형성해도 되고, Nb계 디아이트를 사용해서 스피드팅가스에 $\text{N}_2(\text{질소})$ 를 첨가한 반응성 스피드팅법으로 형성한 NbN계 막을 적층해서 형성해도 된다. 혹은, Nb계막을 절연막위에 속에서 레이저나 아날로그으로써 표면질화해서 NbN계 막을 형성해도 된다. 어느 경우나 마찬가지로 Nb계/NbN계 적층막을 연속형성할 수 있고, 공중증가를 억제할 수 있다. 또, NbN계 막은 아니리, Nb를 주성분으로 하는 재료이면, 마찬가지로 Nb계/NbN계 적층막을 형성할 수 있고, 마찬가지로 내열산화성을 얻을 수 있는 것은 물론이다. 도 23은, 도 21 및 도 22에 표시한 반응성스피드팅법에 의해 형성한 Nb계/NbN계 적층막의 열처리온도(도 23횡축: 단위°C)를 바꾸어서 열처리했을 때의 저항변화(도 23종축: 저항상승의 비율로서 열처리후의 저항치를 열처리전의 저항치로 나눈비)를 표시한 것이다. 파라미터는 상층의 NbN의 악두께이다. 즉, ○의 선은, 상층의 NbN의 악두께가 0nm, 즉 상층에 NbN막이 없는 경우이다. ○의 선은, 상층의 NbN의 악두께가 5nm의 경우이다. △의 선은, 상층의 NbN의 악두께가 20nm의 경우이다. △의 선은, 상층의 NbN의 악두께가 40nm의 경우이다. 도 23으로부터, NbN계에 악두께 5nm이상의 NbN막을 적층함으로써, 400°C 의 열처리에 대해서도 충분한 내열산화성을 확보할 수 있는 것을 알 수 있다. NbN의 악두께를 두껍게 할 수록 내열산화성이 향상하는 방향이다. 그 후과의 경도는 완만하다. NbN계 막 저항을 고려하면, 상기한 바와 같이, Nb계/NbN계 적층배선에 적용하는 NbN계 악두께로서는 5nm이상, 100nm이하가 바람직하다.

도 21은, NbN계 막의 형성방법으로서, 스피드팅가스에 N_2 를 첨가한 반응성스피드팅법을 사용하였을 경우에 얻은 NbN계 막의 예를 표시한다. 도 21의 횡축은, 스피드팅가스의 Ar에 N_2 가스를 첨가할 때의 $\text{N}_2/(\text{Ar}+\text{N}_2)$ 유량비이다. 도 21의 종축은, 형성된 막의 비자화(요율)이다. 기판온도는 130°C , total 가스유량은 60sccm, 파워는 2100W, 압력은 0.5Pa이다. 내열산화성 형상에 기여하는 Nb계/NbN계 적층막의

형성에는, N_2 형가장이 $N_2/(Ar+N_2)$ 유량비로 0.05~0.25, NbN 계 막의 비저항으로 100~200 $\mu\Omega\text{cm}$ 의 범위(도 21(b)에 의해 표시한 범위)의 NbN 계 막이 알맞게 되어 있었다. 또한, 이때, N_2 형가장은(유량비=0)에 의해 얻어진 Nb 계 막의 비저항을 18 $\mu\Omega\text{cm}$ 이었다.

다음에, 도 21에 표시한 각 경의 막의 구조를 X선 회절분석에 의해 조사했다. 그 결과, (a),(b),(c)에 의해 표시되는 3개의 영역나에서는 구조가 상위에 있는 것을 판명하였다.

도 22로, 도 21에 표시한 3개의 영역(a),(b),(c)으로부터 선택한 질화Nb막(NbN 막)의, X선회절스펙트럼(대표여)를 표시한다. 품종은, X 선회절강도이고, 단위는 임의 단위(arbitrary units 또는 a.u.)이다. 도 22중, ● 표시는 Cubic Nb, ○ 표시는 Cubic NbN 로부터의 결정피크. 흑선식인은 밀반동율리기판으로부터의 밀집점성피크를 표시한다. 도 21(a)에서 표시한 범위($N_2/(Ar+N_2)$ 유량비로 <0.05, NbN 막의 비저항으로 <100 $\mu\Omega\text{cm}$ 의 범위)에서 얻어진 막은, N_2 의 흥가부족에 의해, NbN 상(單相) 혹은 NbN 과 Nb 의 혼정(混晶)의 상태인 것을 알았다. 이에 대해서, 도 21(b)에서 표시한 NbN /NbN계 적층막에서 최적의 범위, 즉($N_2/(Ar+N_2)$ 유량비로 0.05~0.25, NbN 막의 비저항으로 100~200 $\mu\Omega\text{cm}$ 의 범위)에서 얻어진 막은, 결정성이 높은 NbN 만으로 구성되어 있는 것을 알 수 있다. 도 21(c)에서 표시한 범위, 즉, ($N_2/(Ar+N_2)$ 유량비로 >0.25, NbN 계 막의 비저항으로 >200 $\mu\Omega\text{cm}$ 의 범위)에서 얻어진 막은, NbN 만으로 구성되어 있으나, N_2 의 과잉첨가에 의해, 결정피크가 작고 결정성이 낮은 막인 것을 알았다. 이를 악질의 툴링이, Nb 계/ NbN 계 적층막현상에서의 내결산화성상향효과의 툴링의 원인으로 추측할 수 있다.

케이트전극배선에 적층막을 사용하는 경우, 공정의 증가를 초래하는 일없이, 적층배선이 일괄로 에칭할 수 있는 것이 바람직하다. 따라서, Nb 계/ NbN 계 적층막을 사용하는 경우에도 Nb 계/ NbN 계 적층막이 일괄로 드라이에칭가공 할 수 있는 것이 바람직하다. 또, 도 6~9에서 후술하는 바와 같이, CMOS인버터도 흡정하는 TFT부분, 및 액티브브래드스의 단자부분에 있어서는, 케이트전극(2013상)의 총간율연막(110)에, 콕트릭형성을 위한 스루루홀을 형성할 필요가 있다. 따라서, Nb 계/ NbN 계 적층막현상에서 총간율연막(110)이 선택적으로 에칭될 수 있는 것이 조건이 된다. 총간율연막(110)에는, 상기한 바와 같이 SiO_2 막이나 SiN_4 막이 사용된다.

도 24에, F계 에칭가스로서 대표적인 SF_6 가스를 사용해서 에칭하였을때의 Nb , NbN 막, SiO_2 막, SiN_4 막, 및 레지스트막의 에칭속도의 평가결과를 표시한다. 도 24의 총족은, 에칭시간(초)을 표시하고, 도 24의 총족은, 에칭된 막두께(nm)를 표시한다. Nb 막, NbN 막, SiO_2 막은, 도 20 내지 도 23에 표시한 방법으로 형성했다. SiN_4 막은 RF 플라즈마 CVD법을 사용해서, 기판온도는 230°C, SiH_4 (모수슬란): NH_3 (암모니아): N_2 가스유량비=20:60:200sccm, 파워는 175W, 압력은 80Pa에 의해 형성했다. 레지스트는 사판의 포지형 레지스트를 사용했다. 에칭조건은, RF 형광평판형의 반응성이온에 형광장치를 사용해서, 파워를 500W, 압력을 27Pa, SF_6 가스유량을 88sccm으로 하였다. 도 24에 표시한 에칭시간에 대한 막두께의 경향으로부터 에칭속도를 구할 수 있다. 에칭속도는, $\text{SiO}_2(0.2\text{nm/s})$ < 레지스트(1.2nm/s) < Nb 계(1.7nm/s) < NbN 계(3.0nm/s) < $\text{SiN}_4(2.5\text{nm/s})$ 의 순으로 커지는 것을 알 수 있다. 이에 의해, F계에 에칭가스를 사용함으로써, Nb 계/ NbN 계 적층막에 커지는 것을 알 수 있다.

그러나, SiO_2 막을 총간율연막으로 사용한 경우에는, SiO_2 막의 에칭속도가 NbN 계 및 Nb 계 막의 에칭속도보다도 작기 때문에, 스루루홀 형성시에 케이트전극배선인 Nb 계/ NbN 계 적층막에 손상을 입히는 것을 알 수 있다. 이에 관해서는, SF_6 으로 대체해서 다음에 설명하는 CHF_3 을 에칭가스로 사용함으로써, SiO_2 막의 선택성이 가능해진다. 한편, SiN_4 막의 에칭속도는, NbN 계 및 Nb 계 막의 에칭속도에 비해서 큰값을 얻고 있으나, 에칭속도의 비의 선택비는 NbN 계 막에 대해서 기껏해야 1.4로 작고, Nb 계/ NbN 계 적층막에 손상을 입히지 않고 선택적으로 SiN_4 막을 에칭하는 것은 실제로는 곤란하다는 것을 알 수 있다.

이에 의해, 총간율연막에 SiN_4 막을 사용하는 것이 어렵다는 것을 알 수 있다. 상기와 같이 F계에 에칭가스로서 대표적인 SF_6 가스 대신에, CF_4 , 혹은 CF_4 에 O_2 를 첨가한 가스를 사용한 경우에 있어서도 마찬가지의 결과를 얻을 수 있었다.

다음에, 도 25에 Nb 계, NbN 계, 및 SiO_2 막을 CHF_3 가스에 의해 에칭했다. 얻어진 결과를 표시한다. 도 25의 총족은, 에칭시간(분)을 표시하고, 도 25의 총족은, 에칭된 막두께(nm)를 표시한다. RF 형광평판형의 반응성이온에 형광장치를 사용하고, 파워를 550W, 압력을 6.7Pa, CHF_3 가스유량을 55sccm으로 하였다. 이 도면으로부터, SiO_2 막의 에칭속도인 23nm/min 에 대해서, Nb 계, NbN 계 막은 거의 에칭되지 않는 것을 알 수 있다. 이것은, CHF_3 이 퇴색성이 강한 가스인 것에 기인한다. 즉, CHF_3 가스를 사용한 에칭에서는, 플라즈마 속에서 에칭에 기여하는 F드래프의 성장과 함께 C-F화합물이 형성되고, 이것이 Nb 계 혹은 NbN 계 막에 대해서 기껏해야 1.4로 작고, Nb 계/ NbN 계 적층막에서는 에칭의 진행이 경지하는 것이다. 한편, SiO_2 막상에서는, SiO_2 막으로부터 산소가 공급되기 때문에, C-F화합물의 산화반응에 의해 C-F화합물의 퇴색이 발생하지 않고 SiO_2 막의 에칭이 일정하게 진행한다. 따라서, CHF_3 가스를 사용함으로써, Nb 계/ NbN 계 적층막상의 SiO_2 막을 선택적으로 에칭할 수 있게 된다. 살기한 드라이에칭기기상의 제한으로부터, 케이트전극배선(2013상)의 총간율연막(110)에는 SiO_2 막이 적층화한다는 것을 알 수 있다.

도 26은, 도 24에 표시한 가스를 사용해서 Nb 계/ NbN 계 적층막을 에칭하였을때의 에칭표준 단부의 단면모식도를 표시한다. 도 26중, (103)은 유리기판, (107)은 Nb 계막, (108)은 NbN 계막, (2401)은 레지스트판면을 표시한다. 도 26(a)에 표시한 바와 같이, NbN 계막(108)에서는 막두께방식 및 막의 가로방향으로 등방식으로 에칭이 진행한다고 생각된다. 여기서, 도 24에서 설명한 바와 같이, Nb 계/ NbN 계 적층막에 있어서의 상층 NbN 계막(a), Nb 계막(107)의 에칭속도 b의 약 2배였다(a>b). 따라서, 도 26(b) 및 (c)에 표시한 바와 같이, 막두께방식의 에칭속도는, 에칭이 Nb 계/ NbN 계 막면에 종래와 함께해서 Nb 계 막쪽으로 진행한 도단(壊端)에서 작아진다. 한편, 막의 가로방향의 에칭속도는, 에칭이 NbN 계 막의 에칭속도a에 지배되는 것으로 된다. 최종적으로는, 도 26(d)에 표시한 바와 같이, 에칭단부는, Nb 계/ NbN 계 막면을 사이에 두고 다른 각도를 가진 태이퍼링상을으로 가공된다. 이때, 상층 NbN 계 막이 이루는 각a와 하층 NbN 계 막이 이루는 각b의 관계는, a>b가 된다. 실제의 Nb 계/ NbN 계 적층막의 에칭에서는, 등방에에는 아니고, 약두께 방향에 대해서 막의 가로방향의 에칭속도가 막간 큰 경향이어서, 에칭파인의 단부의 형상은 어느것이나 도 26(d)에 표시한 태이퍼링상과 거의 마찬가지의 형상으로 에칭되어 있는 것을, 단면 SEM관찰에 의해 확인되었다. 이와 같은 태이퍼링상은, 실제로 케이트전극배선에 적용하였을때에, 총간율연막(110)이나 드레이인전극배선(203)의 암호화된 주위 특성을 확보할 수 있고, 배선간 소트니 총간율연막을 개재한 드레이인단불량을 방지할 수 있다. 즉, 도 26에 표시되는 배선단부형상은 케이트전극배선으로서 불가결한 특성이다.

도 6~도 9에서 추술하는 바와 같이, 상보형(CMOS)인버터를 형성하는 TFT부분에 있어서는, 게이트전극네션이 되는 Nb계/NbN계 적층막과 드레인의 배선재료와의 스루홀을 만들고 형성한 필요가 있다.

도 27에, Nb계/NbN계 적층막과, 드레이인션 전극 재료로서 일반적인 Cr 및 Cr의 합금막의 예로서 Cr과 Mo와의 합금막(이하, Cr-Mo라고 애기한다)과의 슬루트 픽蚀蚀 저항을 측정한 결과를 표시한다. 도 27 통 층에 콘택트 면적(λ^2)을 표시하고, 도 27 층 층에 콘택트 저항($\Omega \cdot \mu^2$)을 표시한다. Cr막은, Dc마그네트론스퍼팅법을 사용해서, 기판온도는 200°C, Ar가스 유량은 60sccm, 파워는 4000W, 압력은 0.2Pa로 형성했다. CrMo막은, Cr과 Mo의 중량비율이 50:50의 합금타이틀을 사용하고, 그 이외는 Cr막과 동일한 조건으로 형성했다. 도 27 층의 C 표시가 Nb계/NbN계 적층막과 Cr의 경우, 도 27 층의 Nb계/NbN계 적층막과 CrMo의 경우의 변형률이다. 주변회로 및 화소 TFT의 구조도 조건으로부터.

콘택트 저항의 시방과 목표로 10 $\Omega\mu\text{m}^2$ 이하로 억제하는 것이 요구되고 있다. 도 27로 부터, Nb/Ge/NbN계 적층막과 Cr/NbGe/NbN계 적층막과 CrMoN은 어느 경우의 경우도, 얇아진 콘택트 저항은, 콘택트 면적 25~400 μm^2 의 범위에서 10 $\Omega\mu\text{m}^2$ 인 것을 알 수 있다. 이것은 목표보다 4자리 수는 같았고, 시방을 충분히 만족시키는 것을 알 수 있다. 따라서, 게이트전극 배선을 Nb/Ge/NbN계 적층막, 드레인전극 배선을 Cr 또는 Cr의 합금막으로 이루어져, 얇아진 콘택트 저항을 확보할 수 있다고 결론된다. 이는 NbGe/NbN계 적층막을 사용해 드리기 전극 배선 혹은 상기 소스전극 배선을, 적어도 상기 NbGe/NbN계 적층막으로 이루어진 게이트전극 배선과 접하는 부분이 크롬, 또는 크롬과 물리브랜드의 합금막으로 형성되어 있으면 얻을 수 있다. 따라서, 이 조건을 충족하고 있으면, 드레인전극 배선 혹은 상기 소스전극 배선의 동방향으로서는 크롬, 또는 크롬과 물리브랜드의 합금막과 다른 금속막과의 접촉면은, 예를 들어 저항화학증착의 원료로는 노동금속과의 접촉을 방지해 사용할 수 있다.

도한, 예방에 의한 배선구조는 내열산화성에 뛰어나기 때문에, 배선이 그온의 산화성분위기에exposedtotheoxidativeenvironment. 드레인전극배선이나 소스전극을 갖는 배선구조는 배선을 전기적으로 단락하는 경우에 가진 우수한 특성을 활용하여 TBT기판에 배선을 설치하는 경우에 매우 편리하다.

도 2는 본 발명에 관한 코프레이너형 TFT를 사용해서 구성한 양정표시장치의 단위화소의 평면도를 서, 도 1, 도 3은 각각 도 2를 x-x', y-y'를

액정표시장치의 단위화소의 기본구성은, 도 14에서 표시한 비교예와 마찬가지로 일바탕액(104)부착의 유리기판(103)위에 형성한 표시한 선을 따른 단면도이다.

제이티전국배선(202)과, 이에 교차하도록 형성된 드레이전국배선(203)과, 이를 전국배선의 교차부 부근에 형성된 TFT(101)와, 화소표시영역(102)으로 구성된다. 비교예와 다른점은 다결정PSS로 이루어진 제 1개이터전국(140)과 AI로 이루어진 제 2개이터전국(201)과의 2개이터전국구조에 대해서는, 본 발명에서는 Nb, 또는 Nb를 주성분으로 하는 합금으로 이루어진 제 1층(107)과 제 1층의 질화막으로 이루어진 제 2층(108)과의 적층막(Nb계/NbN계)으로 구성된 적층막 전극구조를 채용하고 있는 것이다.

따라서, 도 10에 표시한 바와 같이, TFT(101)는, 진성다결정화막으로 이루어진 채널영역(105)과, 채널영역(105)상에 형성된 게이트절연막(106)과, Nb, 또는 Nb를 주성분으로 하는 합금으로 이루어져 제 1층(107)과 제 2층의 절화막으로 이루어진 제 2층(108)의 쪽작으로 구성된 게이트층의 게이트전극(210)과, 상기 전극다결정화막(105)의 드레인-소스영역에 물을 순으로 도우편층(109)에, 슬루홀을 개자해서 접속된 드레인전극(111)과 소스전극(112)으로 구성되고, 이 TFT(101)의 소스전극(112)에는 회소전극(113)이 접속된다. 또, TFT(101)의 게이트전극과 소스-드레인전극과의 사이에는 충간홀연막(110)이 형성되고, TFT(101) 및 각층위에는 보호홀연막(114)이 형성된다. 또, Nb(102)는 화소전극의 외연이다.

비교예와 마찬가지로 계이트전크(201)을 연장한 툴들이 그대로 계이트전크버전(202)이 된다.

도 3은, 게이트전극배선(202)과 드레인전극배선(203)과의 교차부분을 표시한다. 도 26에서 상술한 바와 같이, Nb 또는 Nb를 주성분으로 하는 제 1층(107)과 제 1층의 질화막으로 이루어진 제 2층(108)과의 접触막으로 이루어진 게이트전극배선(202)의 패턴단부는 순(順) 태이포형상으로 가공된다. 이와 같이 태이포형상으로 가공함으로써, 게이트전극배선(202)위의 충간필연막(110) 및 드레인전극배선(203)의 충간필연막(110)을 확보할 수 있고, 배선간의 단락에 의한 쇼트나 드레인전극배선(203)의 단선(斷線)을 방지할 수 있다. 또, A1전극배선에 보였는 것 같은 활터나 위스키의 발생이 없기 때문에, 배선간의 단락에 의한 수트를 찾을 때 간단할 수 있다.

도 4는 1~10에 표시한 실시예의 게이트전집금성형 공정이다. 각 공정마다의 단면구조를 표시하고 있다. 먼저, 도 4(a)와 같이, 밀바운팅(104)부위의 유리기판(103)상에, 진설다결집금성으로 이루어진 슬리퍼판(401)을 형성한다. 이어서, 둑도(b)와 같이, 기판전체면에 에이터풀팅액(106), Nb 또는 Nb를 주성분으로 하는 합금으로 이루어진 제 1층(107), 제 1층의 절화막으로 이루어진 제 2층(108)과의 적층막을 형성한다. Nb 또는 Nb를 주성분으로 하는 합금으로 이루어진 제 1층(107)과, 제 1층의 절화막으로 이루어진 제 2층(108)과의 적층막은, 물화형형성을 Ar과 N₂의 혼합기사에 의한 반응성스피터링법을 사용함으로써 제 1층과 연속형성할 수 있다. 다음에, 둑도(c)와 같이, 에이터풀팅액(106)과 Nb 또는 Nb를 주성분으로 하는 합금으로 이루어진 제 1층(107)과, 제 1층의 절화막으로 이루어진 제 2층(108)과의 적층막을 용융시켜 밀집된면에 의해 밀집면에 침투함으로서, 전집형의 에이터풀팅(201)과 거의 동일한 폴리머화성형재료를 양성화(109)하는 된다.

도 24에서 상술한 바와 같이, Nb 또는 Nb를 주성분으로 하는 합금으로 이루어진 제 1층(107)과, 제 1층의 질화막으로 이루어진 제 2층(108)과의 접촉막은, F에 액화가스를 사용함으로써 용이하게 일괄로 치울 가능하다.

다음에, 등도(d)와 같이, 기판 전체면에 N형 도우편트인 인이온을 도우핑한다. 이때, 게이트절연막(106)과 적층형의 게이트전극(201)과의 적층판단이 마스크가 되고, 전성다결정판막으로 이루어진 채널영역(105)이 자기절화점으로 형성된다.

최후로, 동도(e)와 같이, 활성화아날리에 의해 도우령한 불순물이온을 활성화해서, 드레이-소스영역이 되는 활성층(109)을 형성한다. 이때의 활성화아날리에는, 아날리, 레이저아날리 등의 수법이 사용되나, 적층형의 게이트전극(201)을 구성하는 Nb계/NbN계 적층막은 고용접, 저용접이기 때문에, 활성화아날리에 의한 게이트전극파편의 박리, 균열 등의 불량을 발생하는 일이 없다. 또, 게이트전극배선이 Nb계/NbN계 적층막구조이기 때문에, 활성화아날리위기에 대한 내자율화성이 향상된다. 그후의 풀간접연막(110)의 형성공정에 있어서도, 게이트전극배선의 저항이 상승하는 일은 없다.

총형의 게이트 전극(201)만으로 액정표시장치내의 신호배선으로서의 역할을 다할 수 있다. 따라서, 비교에 있어서의 저전력화면을

이루어진 제 2개이트전극배선이 불필요하게 된다. 이에 따라서, TFT와 제 2개이트전극배선(201)과의 접촉을 방지하기 위한 충간절연막(1501)도 불필요하게되고, 게이트전극배선구조 및 토템포로세스와 대목적으로 간략화되는 것을 알 수 있다. 환연하면, 본 발명의 적용게이트전극배선구조를 적용함으로써, Nb 및 Nb를 주성분으로 하는 금속재료의 특장과 살리면서, 내출산화성, 가공성에 뛰어나고, 저저항하고 이동력, 또한 프로세스정합성에 뛰어난 간략한 게이트전극배선구조를 실현할 수 있다. 나이가서는, TFT구조 및 프로세스의 대목적인 간략화에 의해, 액정표시장치의 저코스트화를 달성할 수 있게 된다.

또, 배선의 교차부분에 있어서의 배선간의 단락에 의한 소드나 드리인전극배선의 절단선을 방지할 수 있기 때문에, 액정표시장치의 수율도 향상시킬 수 있다.

도 5에 CMOS인버터회로를 사용해서 구성한 구동회로를 액티브메트릭스형의 액정표시부와 동시에 동일한 기판(501)상에 접착한 액티브메트릭스형 액정표시장치 전체의 등가회로를 표시한다.

이 액정표시장치는 표시부로서의 TFT로 이루어진 액티브메트릭스(50)와, 이것을 구동하는 수직주사회로(51)와, 1개의 주사선분의 비데오신호를 복수의 복록으로 분할해서 시분할적으로 공급하기 위한 수평주사회로(53)와, 비데오신호를 공급하는 데이터신호선 Vdr1, Vdg1, Vdb1, 비디오신호를 분할복록마다 액티브메트릭스쪽으로 공급하는 스위치메트릭스회로(52)를 가진다. 여기서, 수직주사회로(51) 및 수평주사회로(53)는, 시프트레지스터와 버퍼에 의해 구성되고, 풀점신호 CL1, CL2, CKV에 의해 구동된다.

도 6은 기판상에 형성되는 CMOS인버터회로를 구성했을때의 회로도이다. PMOS와 NMOS가 도면에 표시한 바와 같이 구성되고, 입력단자 Vin과 출력단자 Vout을 가지고, 기준전압 Vs 및 전원전압 Vdd가 인가된다.

도 7은, 도 6에 표시한 인버터회로의 패턴배치도를 표시한다. 도 8은, 도 7중 x-x'로 표시한 선을 따른 단면도, 도 9는 도 7중 y-y'로 표시한 선을 따른 단면도이다. 본 실시형태에 있어서의 CMOS인버터는, T형 TFT인 PMOS701과 N형 TFT인 NMOS702에 의해 구성되어 있다.

도 8에 표시한 바와 같이, (701)과 (702)의 2개의 TFT의 게이트전극(703)과 (704)는, 입력단자 Vin과 밀착되어 제 1배선전극(705)과 스루우홀을 개어서 접속되어 있다.

도 9, 10에 표시한 바와 같이, 회로에 기준전압 Vss 및 전원전압 Vdd를 공급하는 전극 및 2개의 TFT의 드레인전극을 접속한 출력단자 Vout는 제 2배선전극(706)에 의해 형성되어 있다. 출력단자 Vout과 차단(次段)주사선에 대응하는 시프트레지스터의 입력전압이 된다.

이때, 배선전극(705)과 (706)은 어느것이나 TFT의 드레인전극배선과 동층(同層), 동일재료로 구성된다. 따라서, 입력단자 VIN쪽에서는,

배선전극(705)과 TFT의 게이트전극(703)과 (704), 즉 드레인전극배선재료와 게이트전극배선재료와의 양호한 스루우홀콘택트특성이 확보되지 않으면 안된다. 적용게이트전극배선구조, P형 드레인재료 PMOS(701)와 N형 드레인재료 NMOS(702)를 구성하는 TFT에 사용함으로써, 구조체적으로는 게이트전극(703)과 (704)은 Nb, 또는 Nb를 주성분으로 하는 합금으로 이루어진 제 1층(107)과, 제 1층의 접속막으로 이루어진 제 2층(108)과의 접속막으로 구성되고, 배선전극(705)과 (706)은 드레인전극배선재료인 Cr, 또는 Cr과 Mo와의 합금막으로 구성되게 된다. 게이트전극(703)과 (704)상의 충간절연막(110)은 SiO₂막으로 구성되게 된다.

이 경우도 게이트전극(703)과 (704)는 Nb계/Nb계에 접속구조로 구성되어 있고, 충분한 내출산화성이 보증되어 있다. 따라서, SiO₂막으로 이루어진 충간절연막(110)형성후에, 게이트전극연선저항을 상승하는 일은 없다.

또, 도 27에 표시한 바와 같이 Nb와 Nb와의 접속막과 Cr 또는 CrMo와의 스루우홀콘택트 저항이 충분히 낮다. 따라서, 배선전극(705)과 TFT의 게이트전극(703) 및 (704)의 접속에 있어서는, 양호한 스루우홀콘택트특성을 확보할 수 있다.

도, 도 25에서 상술한 바와 같이, 게이트전극(703) 및 (704)상에서 충간절연막(110)을 선택하여 할 수 있기 때문에, 스루우홀형성공정에 있어서, 하층의 게이트전극(703) 및 (704)이 손상을 받는 일도 없다. 이에 의해, 간략한 구조로 특성이 양호한 CMOS인버터를 얻을 수 있기 때문에, 주변회로의 내용(內藏)도 풀이해지고, 액정디스플레이장치의 대목적과 고성능화, 저코스트화를 도모할 수 있다. 또, 상기의 실시예에서는, 드레인전극 및 드레인전극배선재료로서 Cr, 또는 Cr과 Mo와의 합금막을 사용하고 있으나, 게이트전극, 게이트전극배선과 접하는 부분이 Cr 또는 Cr과 Mo와의 합금막으로 이루어진 제 1층으로 구성되고, 그위에 저저항금속층인 알루미늄화합금막으로 이루어진 제 2층을 접속한 드레인전극, 드레인전극배선구조로 형성되도록, 스루우홀콘택트특성분만 아니라, 배선저항의 낮은 드레인전극, 드레인전극배선을 얻을 수 있다. 상기의 실시예에서는 코프리이너트의 TFT를 사용해서 전계를 구성했으나, TFT는 엑스테거거형, 혹은 점스테거형이어야 된다. 또, 상기의 실시예에서는 세로전계형의 TFT를 사용해서 전계를 구성했으나, TFT의 소스전극과 공통전극간에 가로팅창으로 전계를 인가한다.

가로전계형의 TFT를 사용해서 구성해도 된다. 또, TFT의 채널반도체층에, 진성다결정Si 대신에 비결정성Si를 사용한 경우에 있어서도 마찬가지로 적용 가능하다. 다음에 설명하는 실시예에는, 엑스테거거형의 비결정성Si-TFT에 본 발명을 적용한 예이다.

도 10에, 엑스테거거형 TFT를 사용해서 구성하는 본 발명에 관한 액티브메트릭스액정표시장치의 단위회소의 평면도를 표시한다.

도 11, 도 12는 각각, 도 10주의 x-x', y-y'로 표시한 선을 따른 단면도이다.

본 액정표시장치의 기본구성은, 일방향식(104)부록의 유리기판(103)위에 형성한 게이트전극층(202)과, 이에 교차하도록 형성된 드레인전극배선(203)과, 이들의 전극배선의 교차부 부근에 형성된 TFT(101)와, 회소표시영역(102)과, 부가용량(1001)으로 구성된다.

도 1~도 4에서 살펴본 코프리이너트 TFT의 실시예와 다른점은, TFT(101)가 엑스테거거형 TFT로 구성되어 있는 것, 채널영역(105)과 드레인-소스영역에 불순물을 도우팅한 활성층(109)이 비결정성Si로 구성되어 있는 것 및 게이트홀연막이 SiO₂막으로 이루어진 제 1개이트절연막(1101)과, SiN막으로 이루어진 제 2개이트절연막(1102)의 접속막으로 구성되어 있다는 것이다.

비결정성SiTFT에 있어서는, 채널층인 비결정성Si와 게이트절연막계의 한정성을 확보하기 위해서, 게이트절연막에 SiN막이 사용되는 것이 흔에이다.

그러나, 게이트절연막을 SiN단층막으로 구성하면 상기와 같이 게이트절연막의 하층에 위치하는 Nb, 또는 Nb를 주성분으로 하는 합금으로 이루어진 제 1층(107)과 제 1층의 접속막으로 이루어진 제 2층(108)의 접속막(Nb계/Nb계)으로 구성된 접속막의 게이트전극 및 게이트전극배선(201)과 (202)위에서, SiN막으로 이루어진 게이트절연막을 선택에 치하는 일이 근본해진다.

그래서, 실시예에 있어서는, 상기와 같이 SiO₂막으로 이루어진 제 1개이트절연막(1101)과, SiN막으로 이루어진 제 2개이트절연막(1102)의

적층게이트폴리막구조를 채용하고, 게이트전극 및 게이트전극배선(201) 및 (202)의 선택에 청록성은 SiO_2 막으로 이루어진 제 1게이트폴리막(1101)에 의해, 채널층(105)과의 계면의 안정성은 SiN 막으로 이루어진 제 2게이트폴리막에 의해 확보된다.

이때도, 게이트전극 및 게이트전극배선(201) 및 (202)은 Nb/NbN 계 적층막구조에 의해 구성함으로써 충분한 내열성화성을 가진다. 따라서, SiO_2 막으로 이루어진 제 1게이트폴리막(110) 형성후에, 게이트전극배선자함이 상승하는 일은 없다.

도 12는, 게이트전극배선(202)과 드레이인전극배선(203)의 카트부분을 표시한다. 본 발명의 쪽면에 의해, Nb, 또는 Nb를 주성분으로 하는 제 1층(107)과, 제 1층의 질화막으로 이루어진 제 2층(108)과의 적층막으로 이루어진 제 1게이트폴리막(1101), SiN 막으로 이루어진 제 2게이트폴리막(1102) 및 드레이인전극배선(203)의 양호한 주위특성을 확보할 수 있고, 따라서 배선간의 단락에 의한 소트나 드레이인전극배선(203)의 절단을 방지할 수 있다. 또, AI전극배선에 보였던 훨씬이나 워스커의 발생이 없기 때문에, 배선간의 단락에 의한 소트불량을 방지할 수 있는 것은 말할 것도 없다.

도 13은, 본 발명에 관한 펙티브마트릭스형의 액정디스플레이장치의 단면모식도를 표시한다. 액정층(1302)의 하부의 유리기판(103)상에는, 게이트전극배선(주사선호배선)(201)과 드레이인전극배선(영상선호배선)(203)이 마트릭스형상으로 형성되고, 그 교차점근방에 형성된 TFT에 의해서 TFT로 이루어진 화소전극(113)을 구현한다. 액정층(1302)을 사이에 두고 대형화하는 대형유리기판(1305)위에는 TFT로 이루어진 대형전극(1306) 및 컬러필터(1304), 컬러필터보호막(1307), 차광을 블랙마트릭스필터를 형성하는 차광막(1308)이 형성되어 있다.

도 13의 중앙부는 1회소부분의 단면을, 좌측은 1층의 유리기판(103), (1305)의 좌측가장자리부분에서 외부인출단자가 존재하는 부분의 단면을, 우측은 1층의 유리기판(103), (1305)의 우측가장자리부분에서 외부인출단자가 존재하지 않는 부분의 단면을 표시하고 있다.

도 13의 좌측, 우측의 각각에 표시한 시일재 SL은, 액정층(1302)을 사용하도록 구성되어 있고, 액정봉일구(도시생략)를 제외한 유리기판(103), (1305)의 가장자리전체를 따라서 형성되어 있다. 시일재는, 예를 들어, 애폭수지수에 의해 형성되어 있다. 대형유리기판(1305)쪽의 대형전극(1306)은 적어도 1개소에 있어서, 익레이스트재 SL에 의해서 유리기판(103)에 형성된 외부인출배선에 접속되어 있다. 이 외부인출배선은 게이트전극배선(201), 소스전극(112) 및 드레이인전극배선(203)의 각각과 동일제조방법에 의해 형성된다. 따라서, 예를 들면, 게이트전극배선(201)의 외부인출배선은, 구체적으로는 본 발명의 Nb계/NbN계 적층막구조로 구성할 수 있다. 각각의 외부인출배선은, 이방성도전막(ACF: Anisotropic Conducting Film)을 개재해서, TCP(Tape carrier Package), 또는 COG(Chip On Glass)접속방식의 두부구동회로의 접속된다. 배향막 OR1, OR12, 화소전극(113), 보호막(114), 흥간질문막(110), SiO_2 로 이루어진 게이트폴리막(106)의 각각의 층은 시일재 SL의 안쪽에 형성된다. 편광판(1301)은 각각 1층의 유리기판(103), (1305)의 바깥쪽의 표면에 형성되어 있다.

액정층(1302)은 액정分子의 방향을 설정하는 하부배향막 OR1과, 상부배향막 OR12의 사이에 폼이 되어, 시일재SL에 의해서 시일되어 있다. 하부배향막 OR1은, 유리기판(103)쪽의 보호필름연막(114)의 상부에 형성된다. 대형유리기판(1305)의 안쪽의 표면에는, 차광막(1308), 컬러필터(1304), 컬러필터보호막(1307), 대형전극(1306) 및 상부배향막 OR12가 순차로 층층해서 형성되어 있다. 이 액정표시장치는 유리기판(103)쪽과 대형유리기판(1305)쪽의 출입문으로서 차광막으로서 TFT구동형의 컬러액정표시장치가 구성된다.

이와 같은 게이트전극(주사선호배선)(201) 및 게이트전극배선(203)으로서, Nb 혹은 Nb를 주성분으로 하는 합금과 Nb 혹은 Nb를 주성분으로 하는 합금의 질화물을의 적층게이트전극배선구조를 사용함으로써, 내열성화성과 가공성이 뛰어나고, 저저항, 저온화되고, 프로세스장성에서도 뛰어난 강박한 게이트 배선구조를 용이하게 실현할 수 있기 때문에, 시스템화 및 수율이 뛰어난 액티브마트릭스형의 액정디스플레이장치를 용이하게 실현할 수 있다.

도, 주변회로의 내장이 용이하게 되기 때문에, 액정디스플레이장치의 대목적인 고성능화, 저코스트화를 실현할 수 있다. 또, 삼기 실시예에 있어서는, 세로전계형의 TFT를 사용해서 전체를 구성했으나, 공통전극, 공통전극배선을 가진 가로전계형의 TFT를 사용한 경우에 있어서도 마찬가지로 적용 가능하다.

또한, TFT는 코프레이너형, 엑스테어형, 혹은 경스테어형이어야 되나, 특히 코프레이너형 소자에 의해서는, 게이트와 소스 혹은 드레인간의 기상용량을 크게 할 수 있으므로 보다 고속인 동작이 가능하고, 주변회로 내장형의 액정표시장치에 유리하다.

도, TFT의 채널반도체층에 진성다결정성 대신에 비결정성Si를 사용한 비주변회로내장형의 액정표시장치에 대해서도 마찬가지로 적용 가능하다. 상술한 실시예에서는, Nb/NbN 혹은 Nb/Nb/Nb의 적층구조를 게이트전극, 게이트전극배선에 적용한 경우만을 표시했으나

드레이인전극배선이나 소스전극 및 공통전극, 공통전극배선을 가진 경우에는, 공통전극, 공통전극배선에 적용해도 마찬가지로 내열성화성 및 질화막과의 양호한 풍화성 및 절연막을 개재한 양호한 스루워홀콘택트특성 등의 효과를 얻을 수 있다.

도, Nb를 주성분으로 하는 합금과 Nb를 주성분으로 하는 합금의 질화물을의 예로서는, 예를 들면, Mo, Ti, V, Si 등을 수%이하의 범위로 함유하는 Nb합금 및 이를 Nb합금의 질화물이 있다.

발명의 효과

본 발명의 실시예에 의하면, 내열화성에 뛰어난 배선을 용이하게 얻을 수 있고, 고성능이고 저코스트인 액정표시장치를 실현할 수 있다.

(57) 청구의 범위

청구항 1.

1층의 기판과, 삼기 1층의 기판에 끼워유지되는 액정층을 가진 액정표시장치에 있어서, 삼기 1층의 한쪽에는 Nb 혹은 Nb를 주성분으로 하는 합금으로 구성되는 제 1층과 Nb의 질화물 혹은 Nb를 주성분으로 하는 합금의 질화물을 의해 구성되는 제 2층으로 구성되는 배선을 가진 것을 복층으로 하는 액정표시장치.

첨구항 2.

1층의 기판과, 상기 1층의 기판에 깨워유지되는 액정총을 가진 액정표시장치에 있어서, 상기 1층의 기판의 한쪽에는 Nb의 질화물 혹은 Nb를 주성분으로 하는 합금의 질화물층으로 구성되는 배선을 가진 것을 특징으로 하는 액정표시장치.

첨구항 3.

제 1항에 있어서, 상기 제 1층의 아래에 Nb의 질화물 혹은 Nb를 주성분으로 하는 합금의 질화물에 의해 구성되는 제 3층이 형성되어 있는 것을 특징으로 하는 액정표시장치.

첨구항 4.

제 1항 또는 제 2항에 있어서, 상기 배선상에는 산화실리콘막으로 이루어진 출연막이 형성되어 있는 것을 특징으로 하는 액정표시장치.

첨구항 5.

제 1항에 있어서, 상기 제 1층과 상기 제 2층은 동일 패턴으로 일괄에 형성되어 있는 것을 특징으로 하는 액정표시장치.

첨구항 6.

제 3항에 있어서, 상기 제 1층, 상기 제 2층 및 제 3층이 동일 패턴으로 일괄에 형성되어 있는 것을 특징으로 하는 액정표시장치.

첨구항 7.

제 1항에 있어서, 상기 배선의 단부는 순태이퍼형상인 것을 특징으로 하는 액정표시장치.

첨구항 8.

제 1항에 있어서, 상기 제 1층의 비저항은 $20\mu\Omega\text{cm}$ 이하로서, 상기 제 2층의 비(比)저항은 $100\sim200\mu\Omega\text{cm}$ 의 범위인 것을 특징으로 하는 액정표시장치.

첨구항 9.

제 2항에 있어서, 상기 Nb의 질화물 혹은 Nb를 주성분으로 하는 합금의 질화물로 구성되는 배선층의 비저항은 $100\mu\Omega\text{cm}$ 이상, $200\mu\Omega\text{cm}$ 이하의 범위인 것을 특징으로 하는 액정표시장치.

첨구항 10.

제 1항에 있어서, 상기 제 2층의 악두께는 $5\sim100\text{nm}$ 인 것을 특징으로 하는 액정표시장치.

첨구항 11.

1층의 기판과, 상기 1층의 기판에 깨워유지된 액정총을 가지고,

이 1층의 기판에는 복수의 게이트전극배선과, 이를 복수의 게이트전극배선에 교차하도록 형성된 복수의 드레인전극배선과, 이를 배선의 교차점에 대응해서 형성된 복수의 박막트랜지스터와, 이를 복수의 박막트랜지스터에 대응해서 형성된 복수의 소스전극을 가진 액정표시장치에 있어서,

상기 복수의 게이트전극배선, 드레인전극배선 및 소스전극 및 공통전극, 공통전극배선을 가진 경우에는 공통전극, 공통전극배선의 적어도 1개가 Nb 또는 Nb를 주성분으로 하는 합금으로 이루어진 제 1층과 Nb 또는 Nb를 주성분으로 하는 합금의 질화물로 이루어진 제 2층을 가진 적층으로 구성되는 것을 특징으로 하는 액정표시장치.

첨구항 12.

1층의 기판과, 상기 1층의 기판에 깨워유지된 액정총을 가지고, 이 1층의 기판에는 복수의 게이트전극배선과, 이를 복수의 게이트전극배선에 교차하도록 형성된 복수의 드레인전극배선과, 이를 배선의 교차점에 대응해서 형성된 복수의 박막트랜지스터와, 이를 복수의 박막트랜지스터에 대응해서 형성된 복수의 소스전극을 가진 액정표시장치에 있어서, 상기 복수의 게이트전극배선, 드레인전극배선 및 소스전극과 공통전극, 공통전극배선을 가진 경우에는 공통전극, 공통전극배선의 적어도 1개가 Nb의 질화물 혹은 Nb를 주성분으로 하는 합금의 질화물층으로 구성되는 것을 특징으로 하는 액정표시장치.

첨구항 13.

제 11항에 있어서, 상기 제 1층의 아래에 Nb의 질화물 혹은 Nb를 주성분으로 하는 합금의 질화물로 구성되는 제 3층이 형성되어 있는 것을 특징으로 하는 액정표시장치.

첨구항 14.

제 11항 또는 제 12항에 있어서, 상기 제 1층과 상기 제 2층을 가진 적층으로 구성된 배선상에 산화실리콘막으로 구성된 출연막이 형성되어 있는 것을 특징으로 하는 액정표시장치.

첨구항 15.

제 14항에 있어서, 상기 산화실리콘막은 상기 박막트랜지스터의 게이트질연막의 적어도 일부인 것을 특징으로 하는 액정표시장치.

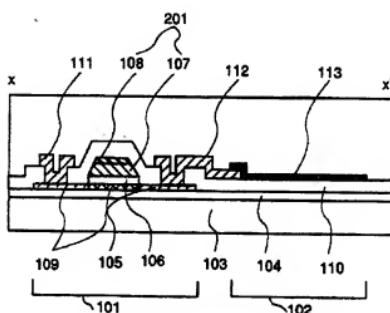
첨구항 16.

제 11항 또는 제 12항에 있어서, 상기 드레인전극배선 혹은 상기 소스전극배선은 크롬, 또는 크롬과 몰리브덴의 합금막으로 형성되어 있는 것을 특징으로 하는 억정표시장치.

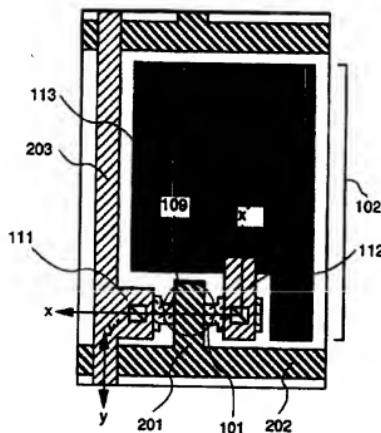
청구항 17.

제 11항 또는 제 12항에 있어서, 상기 드레인전극배선 혹은 상기 소스전극배선의 적어도 일부가 크롬, 또는 크롬과 몰리브덴을 함유하는 합금막으로 형성되어 있는 것을 특징으로 하는 억정표시장치.

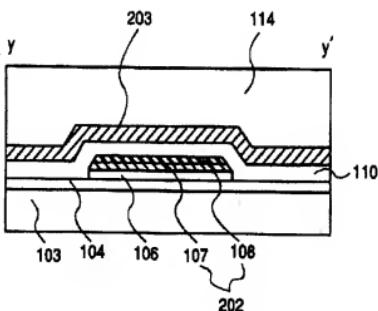
도면 1



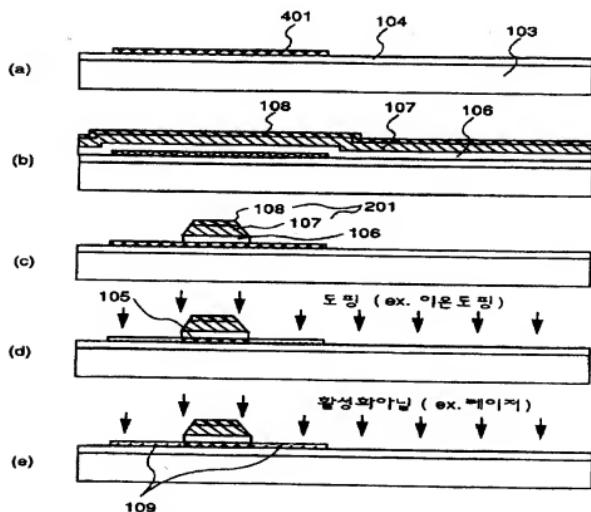
도면 2



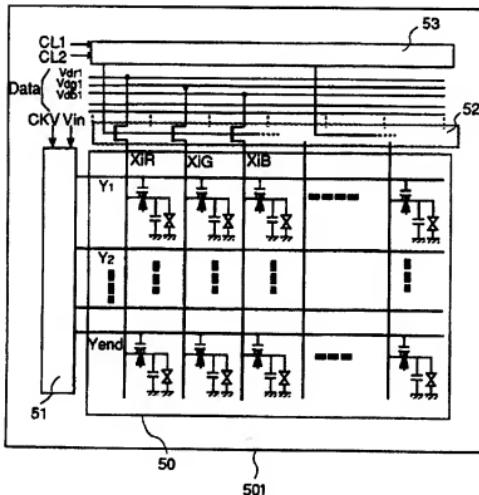
도면 3



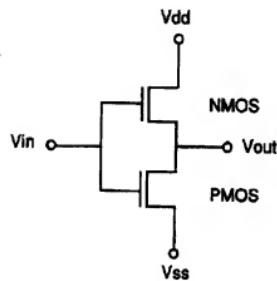
도면 4



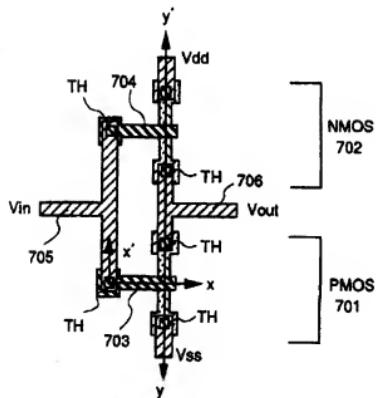
도면 5



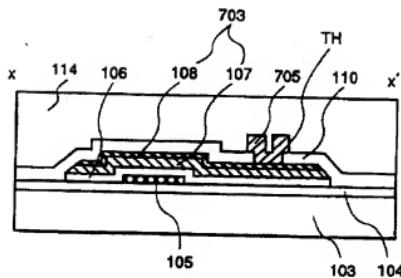
도면 6



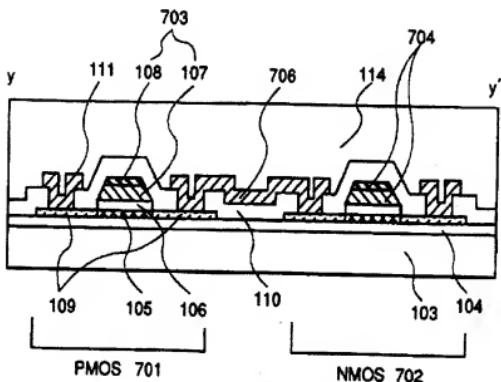
도면 7



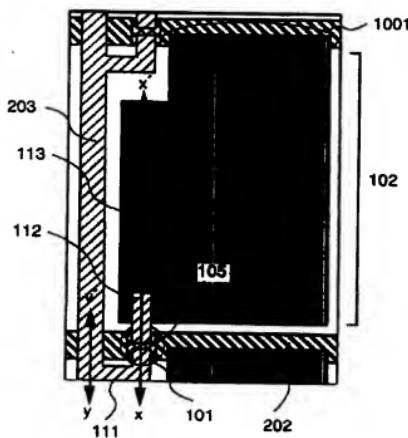
도면 8



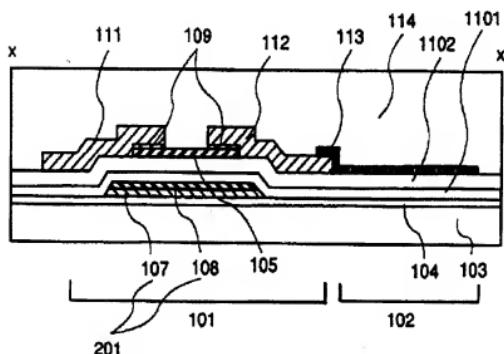
도면 9



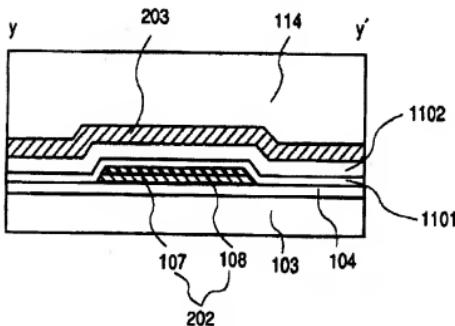
도면 10



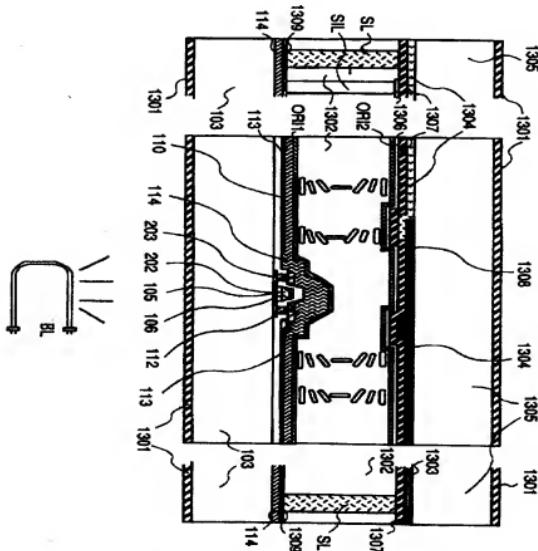
도면 11



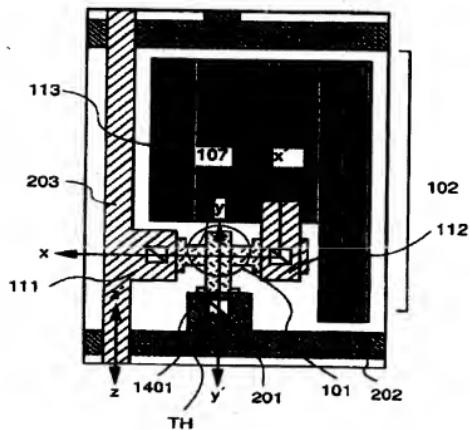
도면 12



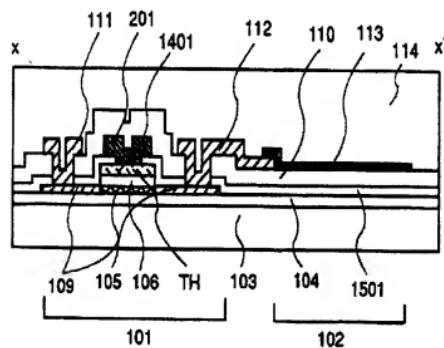
도면 13



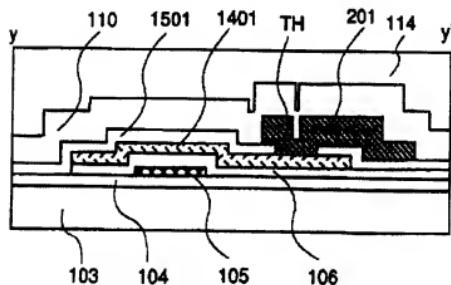
도면 14



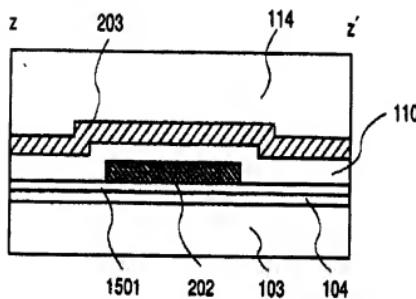
도면 15



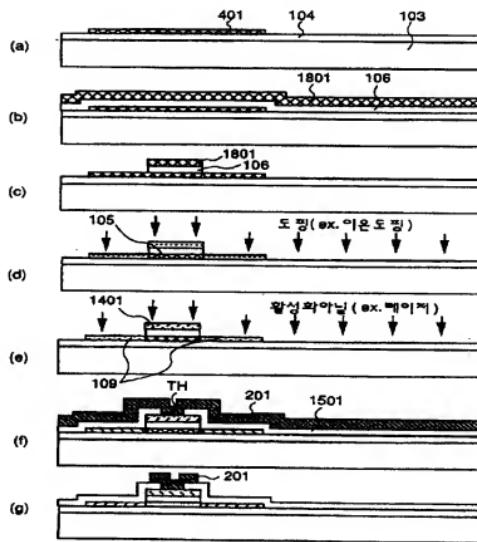
도면 16



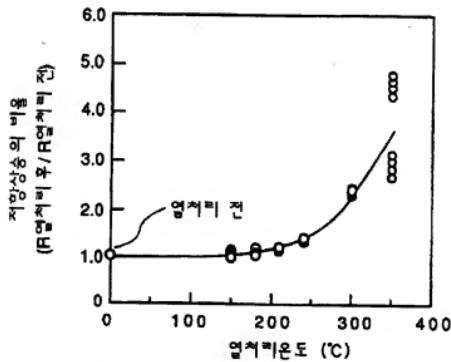
도면 17



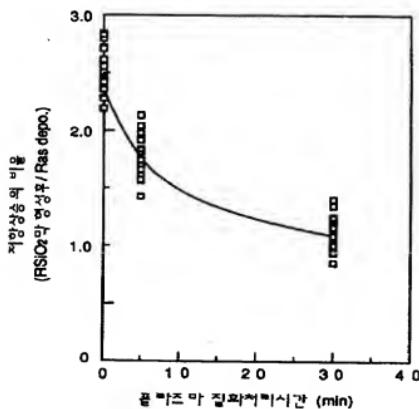
도면 18



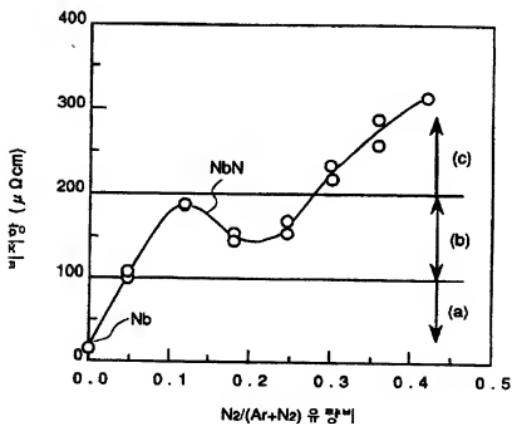
도면 19



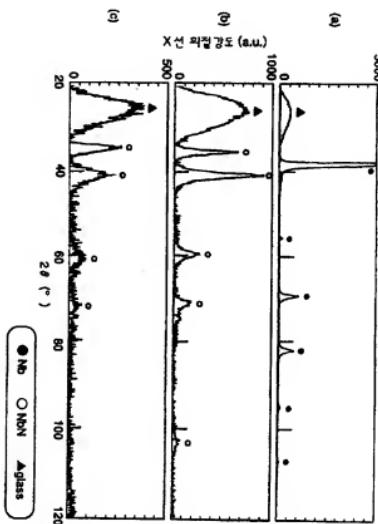
도면 20



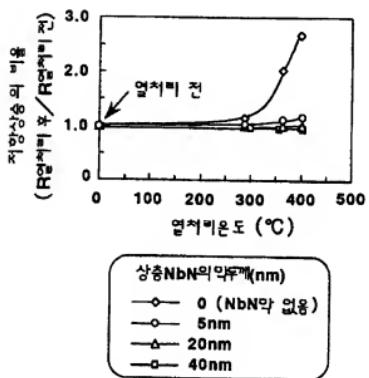
도면 21



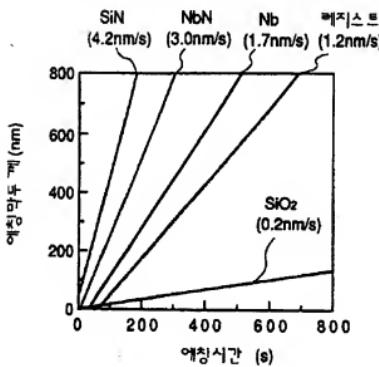
도면 22



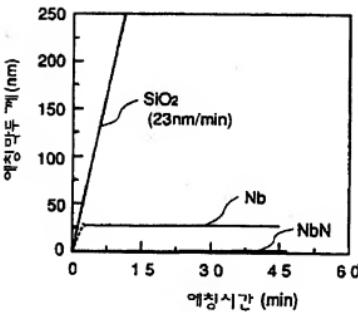
도면 23



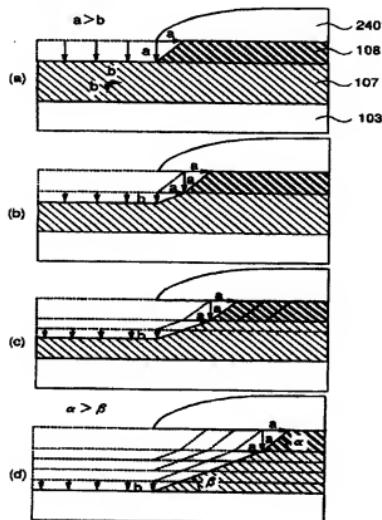
도면 24



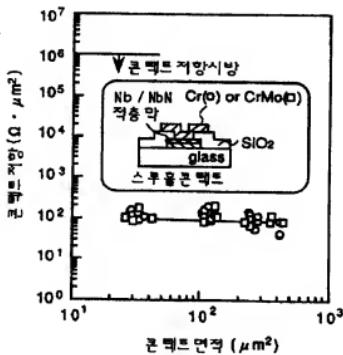
도면 25



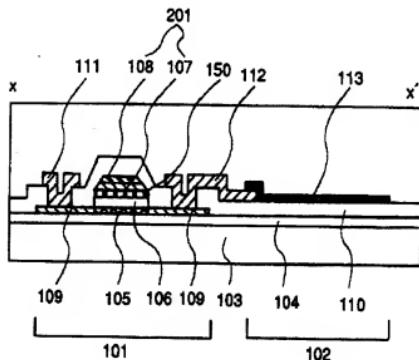
도면 26



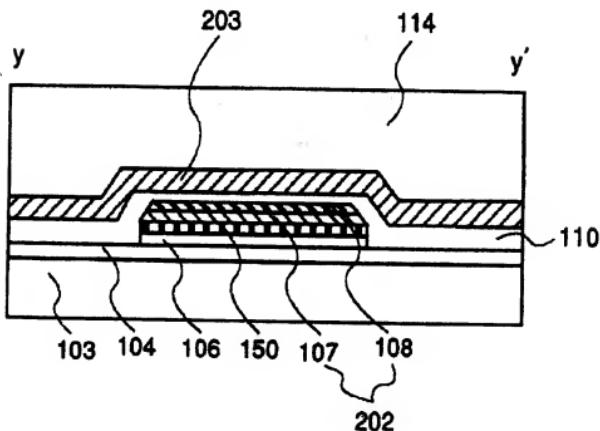
도면 27



도면 28



도면 29



(19)

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11) Publication

100486717 B1

number:

(44) Date of publication of specification:

22.04.2005

(21) Application number: 1019960040793

(71) Applicant:

LG PHILIPS LCD CO.,
LTD.

(22) Date of filing: 19.09.1996

(72) Inventor:

YEO, JU CHEON

(30) Priority: ..

(51) Int. Cl

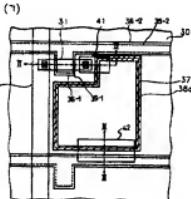
G02F 1/136

G02F 1/1343

(54) LCD DEVICE IN WHICH NUMBER OF MASKS AND LEAKAGE CURRENT AT OFF CONDITION ARE REDUCED, AND METHOD FOR MANUFACTURING THE SAME

(57) Abstract:

PURPOSE: An LCD(Liquid Crystal Display) device and a method for manufacturing the same are provided to reduce leakage current by weakening electric fields in a drain joint portion at an OFF condition. **CONSTITUTION:** An LCD device comprises a thin film transistor and a pixel electrode connected to the thin film transistor. The thin film transistor includes an insulation substrate(30); an active layer(31) formed on the insulation substrate; a gate insulation layer formed on the active layer; a first gate electrode(35-1) formed on the gate insulation layer so as to define a channel region on the active layer; a second gate electrode(36-1) formed on the first gate electrode and disposed such that the second gate electrode has a bottom surface wider than that of the first gate electrode and defines a leakage current control region formed at both sides of the channel region of the active layer; a source region and a drain region formed outside of the leakage current control region in the active layer; an interlayer insulation layer formed on the first and second gate electrodes and the exposed substrate such that the source region and the drain region are exposed; and a source electrode(40) connected to the source region and the drain electrode(41) connected to the drain region.



copyright KIPO 2006

Legal Status

Date of request for an examination (20010719)

Notification date of refusal decision (00000000)

Final disposal of an application (registration)

Date of final disposal of an application (20050329)

Patent registration number (1004867170000)
Date of registration (20050422)
Number of opposition against the grant of a patent ()
Date of opposition against the grant of a patent (00000000)
Number of trial against decision to refuse (2004101002670)
Date of requesting trial against decision to refuse (20040617)
Date of extinction of right ()

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.

G02F 1/136

(11) 공개번호

특1998-021815

(43) 공개일자

1998년06월25일

(21) 출원번호 특1996-040793

(22) 출원일자 1996년09월19일

(71) 출원인 멸지전자 주식회사, 구자홍

대한민국

150-010

서울특별시 영등포구 여의도동 20번지

(72) 발명자 여주천

대한민국

서울특별시 관악구 신림2동 현대APT 110-209호

(74) 대리인 양순석

(77) 상사청구 없음

(54) 출원명 액정표시장치 및 그 제조방법

요약

본 발명은 액정표시장치 및 그 제조방법에 관한 것으로, 특히 다결정실리콘 박막트랜지스터를 회소 스위칭 소자로 사용하는 액정표시장치에 있어서, 제조시 공정수를 줄이면서도 오프상태에서의 누설전류를 감소시킬 수 있는 박막트랜지스터 구조를 가지는 액정표시장치 및 그 제조방법에 관한 것이다. 이를 위한 본 발명의 액정표시장치는 복수개의 회소 각각에 복수개의 스위칭 소자인 박막트랜지스터와 상기 박막트랜지스터에 연결되는 회소전극을 구비하는 액정표시장치에 있어서, 상기 박막트랜지스터는, 절연기판과, 상기 절연기판 상에 형성되는 활성층과, 상기 활성층상에 형성되는 게이트절연막과, 상기 게이트절연막의 소정의 위치에 형성되어 상기 활성층에 채널영역을 정하는 제1게이트전극과, 상기 제1게이트전극 상에 위치하되, 상기 제1게이트전극의 하면을 가지고 채널영역을 형성되어 상기 활성층의 채널영역의 양측에 누설전류 제어영역을 정하는 제2게이트전극과, 상기 활성층 내의 상기 누설전류 제어영역의 외측에 형성되는 소오스영역 및 드레이영역과, 상기 제2게이트전극과 상기 제1게이트전극 및 노출된 기판에 형성되어, 상기 소오스영역과 상기 드레이영역에 연결되는 소오스전극과 상기 드레이영역에 연결되는 드레이전극을 구비한다.

대표도

도3a

영세서

[발명의 명칭]

액정표시장치 및 그 제조방법

[도면의 간단한 설명]

제1도는 종래기술에 따른 액정표시장치의 평면도

제2도는 종래기술에 따른 액정표시장치의 제조공정도

제3도는 본 발명에 따른 액정표시장치의 제 1 실시예를 나타낸 도면

제4도는 제3도에 나타낸 본 발명의 제조공정도

제5도는 본 발명에 따른 액정표시장치의 제 2 실시예를 나타낸 도면

제6도는 제5도에 나타낸 본 발명의 제조공정도

제7도는 본 발명에 따른 액정표시장치의 제 3 실시예를 나타낸 도면

도면의 주요부분에 대한 부호의 설명

31. 활성층. 35-1. 제1게이트전극.

36-1. 제2게이트전극.

35-2. 제1주사선.

36-2. 제2주사선.

42. 제1스토리지 용량전극.

38a. 제1회소전극.

37. 제2회소전극.

40. 소오스전극 및 신호선.

41. 드레이전극.

32. 게이트절연막.

39. 층간절연막.

[발명의 상세한 설명]

본 발명은 액정표시장치 및 그 제조방법에 관한 것으로, 특히 다결정실리콘 박막트랜지스터를 회소 스위칭 소자로 사용하는 액정표시장치에 있어서, 제조시 공정수를 줄이면서도 오프상태에서의 누설전류를 감소시킬 수 있는 박막트랜지스터 구조를 가지는 액정표시장치 및 그

제조방법에 관한 것이다.

다결정 실리콘은 일반적으로 박막트랜지스터 제조시 사용되는 비정질 실리콘에 비하여 높은 캐리어 이동도를 가지고 있어서, 다결정 실리콘 박막트랜지스터를 채택할 경우 액정표시장치 패널 내부에 구동회로를 내장한 능동형 터치屏 탑재식의 액정표시장치(AMLCD:Active Matrix Liquid Crystal Display device)를 용이하게 구현할 수 있는 장점을 가진다. 그러나, 화소 스위칭 소자로 다결정 실리콘 박막트랜지스터를 채택할 경우 오프상태에 누설전류가 커서 화소의 신호전압을 제대로 유지할 수 없는 문제점이 있다. 그래서, 품리에 화소 스위칭 소자로 소스/드레인 영역과 채널영역 사이에 오프셋(offset) 영역이나 암리디(LDD:Lightly Doped Drain) 영역을 가지는 박막트랜지스터 구조가 제안된 바 있다.

제1도는 종단 앤디드 영역을 가지는 박막트랜지스터를 화소 스위칭 소자로 하는 액정표시장치의 평면도이고, 제2도의 (가)-(사)는 제1도의

절단선 1-1에 의한 단면도로서, 제조방법을 설명하기 위한 제조단면도이다.

종래의 액정표시장치의 구조를 제1도 및 제2도의 (사)를 예로 들어 설명하면 먼저, 절연기판(10)위에 소스/드레인영역(11-1)(11-2)과 채널영역(11-3) 및 암리디영역(11-4)이 경의된 도상의 활성층(11)이 있고, 그 위에 게이트줄연막(12)을 사이에 두고 게이트전극(13-1) 및 게이트버스라인(13-2)이 있다. 그리고, 그 위에 기판 전면에 걸쳐 충간줄연막(15)이 있고, 충간줄연막(15)과 게이트줄연막(12)에 형성된 제1온막을(T₁)을 통하여 소스스영역(11-1) 및 드레인영역(11-2)과 연결되는 소스스전극 및 데이타버스라인(16)과 드레인전극(17)이 있다. 그 위에 보호막(18)이 있고, 보호막(18)에 형성된 제2온막을(T₂)을 통하여 드레인전극(17)과 연결된 화소전극(19)이 기판 일부영역에 형성되어 있다.

이와 같은 종래의 액정표시장치를 제조하기 위해서는 먼저, 제2도의 (가)와 같이, 절연기판(10) 위에 도상의 활성층(11)을 형성한다.

다음으로, 제2도의 (나)와 같이, 활성층(11) 위에, 기판 전면에 걸쳐, 게이트줄연막(12)을 형성한다. 이어서, 게이트줄연막(12)에 채널형성영역에 중첩되도록 게이트전극(13-1)을 형성한다.

다음으로, 제2도의 (다)와 같이, 게이트전극(13-1)을 마스크로 기판 전면에 낮은 도우주향으로 5가 이온을 주입하여 활성층(11)에 p-영역을 형성한다.

다음으로, 제2도의 (라)와 같이, 게이트전극(13-1) 양측 하부의 활성층(11)을 이온주입 마스크(14)로 가리고, 5가 이온을 높은 도우주향으로 주입하여, 활성층(11)상에 채널영역(11-3)을 중심으로 두 개의 암리디영역(11-4)과, 소스스영역(11-1) 및 드레인영역(11-2)을 형성한다.

제2도의 (다)와 (라)의 공정은 n 채널 박막트랜지스터를 형성하기 위한 공정을 예로 든 것이고, 만약 p 채널 박막트랜지스터를 형성하기 위해서는 3가 이온을 주입한다.

다음으로, 제2도의 (나)와 같이, 이온주입 마스크를 제거한 후, 기판 전면에 충간줄연막(15)을 형성하고, 소스스영역(11-1) 및 드레인영역(11-2) 상부의 게이트줄연막(12)과 충간줄연막(15)을 콘택 패터닝하여 제1온막을(T₁)들을 형성한다.

다음으로, 제2도의 (바)와 같이, 도전률질로 제1온막을(T₁) 내부에 충진되어 충간줄연막(15) 상부의 일부에 형성되는 소스스전극 및 데이타버스라인(16)과, 드레인전극(17)을 형성한다.

다음으로, 제2도의 (사)와 같이, 소스스전극 및 데이타버스라인(16)과 드레인전극(17)이 형성된 기판 전면에 보호막(18)을 형성하고, 이를 콘택 패터닝하여 제 2온막을(T₂)을 형성한다. 이어서, 도전률도질로 화소전극(19)을 형성하여, 액정표시장치를 제조한다.

이상과 같은 공정을 진행하여 제조되는 액정표시장치는 먼저, 암리디영역이나 오프셋영역을 형성하기 위해서, 이온주입 공정시에 이온주입 마스크가 필요하다. 또한, 마스크 경찰 오차에 따라서, 암리디영역 또는 오프셋영역의 길이가 달라질 수 있으며, 게이트전극과 회소전극을 형성하기 위하여 각각 1개씩의 퍼런 마스크가 필요하다. 그리고, 공정 전체적으로 2번의 콘택 패터닝이 필요하여 공정소립(mask-off)이 많아지는 문제점을 고려하였다.

본 발명은 공정 전체적으로 마스크 수를 줄일 수 있으으면서도 오프 상태의 누설전류 감소효과를 가지는 다결정실리콘 박막트랜지스터를 화소 스위칭 소자로 가지는 액정표시장치 및 그 제조방법을 제공하고자 하는 것이다.

이를 위하여 본 발명의 액정표시장치는 복수개의 화소 각각에 복수개의 스위칭 소자인 박막트랜지스터와 상기 박막트랜지스터에 연결되는 복수개의 화소전극을 구비하는 액정표시장치에 있어서, 상기 박막트랜지스터는, 절연기판과, 상기 절연기판 상에 형성되는 활성층과, 상기 활성층 상에 형성되는 게이트줄연막과, 상기 게이트줄연막의 소정의 위치에 형성되어 상기 활성층에 채널영역을 정의하는 제1게이트전극과, 상기 제1게이트전극상에 위치하여, 상기 제1게이트전극의 하면보다 넓은 하면을 가지고도록 형성되어 상기 활성층의 채널영역의 양측에 누설전류 제어영역을 정의하는 제2게이트전극과, 상기 활성층 내의 상기 누설전류 제어영역의 외측에 형성되는 소스스영역 및 드레인영역과, 상기 제2게이트전극과 상기 제1게이트전극 및 노출된 기판에 형성되는 상기 소스스영역과 상기 드레인영역을 노출시키는 충간줄연막과, 상기 소스스영역에 연결되는 소스스전극과 상기 드레인영역에 연결되는 드레인전극을 구비한다.

또한, 본 발명은 박막트랜지스터부와 화소전극부를 구비하는 액정표시장치의 제조방법에 있어서, 절연기판 위에 반도체층을 적층한 후, 도상의 활성층을 형성하는 단계와, 상기 활성층 및 노출된 상기 절연기판 전면에 걸쳐 제1줄연막과 제1도전층과 제2도전층을 차례로 적층하는 단계와, 상기 제2도전층을 사진식각하여 상기 제1게이트전극이 노출되게 하되, 활성층에 채널영역을 정의하는 제2게이트전극과 상기 제2게이트전극의 외측영역에 해제하는 상기 활성층 부분에 소스스영역 및 드레인영역을 형성하고, 상기 채널영역과 상기 소스스영역 및 상기 드레인영역 사이에 누설전류 고장영역을 정의하는 단계와, 기판 전면에 걸쳐 제2줄연막을 형성하는 단계와, 상기 제2줄연막 및 상기 제1줄연막을 사진식각하여 상기 활성층의 상기 소스스영 및 드레인영역을 노출시키는 콘택을 형성하는 단계와, 상기 콘택들을 내부 및 기판 전면에 제3도전층을 적층한 후, 패터닝하여 소스스전극과 상기 소스스전극에 연결되는 데이타버스라인과 드레인전극을 형성하는 단계를 포함하여 이루어진다.

이하 첨부된 도면을 참조하여 본 발명을 자세히 설명하면 다음과 같다.

제3도는 본 발명에 따른 액정표시장치의 제 1 실시예에 예시한 도면으로, 제3도의 (가)는 한 화소를 중심으로 도시한 액정표시장치의 평면도이고, 제3도의 (나)는 절단선 II-II'를 따라 절단한 박막트랜지스터 부분의 단면도이고, 제3도의 (다)는 절단선 III-III'을 따라 절단한

스토리지 용량의 단위도이다.

먼저, 박트랜지스터가 형성된 영역을 중심으로 설명하면 제3도의 (가) 및 제3도의 (나)와 같이, 유리기판(30)상에 도상의 활성층(31)이 형성되어 있고, 그 상부에 제1게이트전극(35-1), 제2게이트전극(36-1)으로 이루어진 게이트전극이 게이트폴연막(32)을 개재하여 형성되어 있다. 제1, 제2게이트전극(35-1)~(36-1)에는 제1, 제2게이트버스라인(35-2)~(36-2)이 일방향으로 연장형성되어 있다. 이 때, 제1게이트전극(35-1) 및 제1게이트버스라인(35-2)은 제2게이트전극(36-1) 및 제2게이트버스라인(36-2)보다 높게 패터닝되어 게이트전극 및 게이트버스라인의 프로파일이 높아 형태를 가지도록 단차가 형성되어 있다. 따라서, 활성층상에 정의되는 채널영역(31-3)은 제1게이트전극(35-1)에 의해 결정되고, 소오스영역(31-1) 및 드레인영역(31-2)의 경계는 제2게이트전극(36-1)에 의해 결정되어, 소오스영역(31-1)과 채널영역(31-3) 사이, 그리고 드레인영역(31-2)과 채널영역(31-3) 사이에 제1게이트전극(35-1)과 제2게이트전극(36-1) 사이의 단자길이에 관련된 길이의 오프셋영역(31-4)이 정의된다. 제1게이트전극(35-1) 및 제2게이트전극(36-1)의 상부 및 층부는 충간절연막(39)에 의해 둘러싸여 있고, 게이트절연막(32)의 노출된 표면상부에도 충간절연막(39)이 형성되어 있다. 게이트절연막(32)과 충간절연막(39)에 형성된 콘택트를 통하여 충간절연막(39) 상부에 형성된 소오스전극(40)은 활성층의 소오스영역(31-1)에 연결되어 있고, 소오스전극(40)과 분리되어 충간절연막(39) 상부에 형성된 드레인전극(41)은 활성층의 드레인영역(31-2)에 연결되어 있다.

(이미지)

다음으로, 홀소전극부를 살펴보면, 게이트절연막(32)의 상부에 제1게이트전극(35-1)과 동일한 절연층을 통하여 형성된 제1홀소전극층(37)이 형성되어 있고, 제1홀소전극층(37)의 외곽을 따라 일부영역이 중첩되도록 상부에 제2게이트전극(36-1)과 동일한 절연층을 통하여 형성된 제2홀소전극층(38a)이 있다.

이때, 제2홀소전극층(38a)은 평면으로 볼 때, 하부의 제1홀소전극층(37)의 노출영역을 정의하도록 소정의 폭을 가지는 태두리와 같은 패턴을 가지고 있다. 그리고, 제2홀소전극층(38a)의 외측은 그 하부에 있는 제1홀소전극층(37)의 가장자리보다 둘러친다.

한편, 폴리카 방지 등의 목적으로, 스토리지 용량을 형성하는 경우, 스토리지 용량의 구조는 제3도의 (다)와 같이, 최하부에 케이트절연막(32)이 있고, 그 상부에 제1스토리지 용량전극이자 게이트버스라인으로, 제1게이트버스라인(35-2)과 그 상부에 넓은 제2게이트버스라인(35-2)이 중첩되어 있다. 따라서, 제2게이트버스라인(35-2)의 일부영역이 제1스토리지 용량전극 역할을 한다. 그 상부에는 충간절연막(39)이 게이트절연막(32)을 덮도록 형성되어 있고, 충간절연막(39)을 사이에 두고, 홀소전극부의 제1홀소전극층(37)과 연결되어 연장된 제2스토리지 용량전극(42)이 제2게이트버스라인(36-2)과 일부영역에서 중첩되도록 형성되어 있다.

제4도의 (가)에서 제4도의 (바)는 본 발명에 따른 역광표시장치를 제조함에 있어서, 각 제조단계에서 박트랜지스터 및 그 주위영역을 예시한 제조경로도이다.

먼저, 제4도의 (가)와 같이, 유리기판(30)위에 비정질 실리콘을 전면에 홀학기상 증착방법을 이용하여 적층한 후, 사전식각공정을 이용하여 패턴식각하여, 유리기판(30)상에 도상의 활성층(31)을 형성한다.

다음으로, 제4도의 (나)와 같이, 유리기판(30) 및 활성층(31)의 상부에 실리콘화막 또는 실리콘산화막을 이용하여 단밀 또는 이중구조의 게이트절연막(32)을 형성하고, 산화인듐(ITO)등의 두께금속을 스퍼터방법으로 게이트절연막(32)위에 전면에 적층하여 제1금속층(33)을 형성한다.

이어서, 그 상부에 통상 게이트전극으로 사용되는 크롬, 알루미늄 등을 스퍼터방법으로 적층하여 제2금속층(34)을 형성한다.

다음으로, 제4도의 (라)와 같이, 제2금속층을 사전식각공정으로 패턴식각하여 게이트버스라인과 게이트전극 및 홀소전극 형성영역에만 낭도록 하여, 제2게이트전극(36-1) 및 제2홀소전극층(38)을 형성한다. 이어서, 제1금속층을 제2게이트전극(36-1)을 마스크로 식각하여 제1게이트전극(35-1)을 형성한다. 이 때, 제2게이트전극(36-1)보다도 과도하게 식각하여, 제1게이트전극(35-1)과 제2게이트전극(35-1)의 단연 프로파일이 단차가 있는 테이블 형상이 되도록 한다. 이러한 한식각작업은 홀소영역에도 실시되어 제2홀소전극층(38)을 마스크로 제1홀소전극층(37)을 통상하여 패턴화하는 단계로 한다.

다음으로, 제4도의 (라)와 같이, 제2게이트전극(36-1)을 마스크로 활성층(31)에 p형 또는 n형의 이온을 이온도핑 또는 이온주입방법으로 주입하면, 활성층(31)에 불순을 (n형 이온 또는 p형 이온)이 도핑된 소오스영역(31-1)과 드레인영역(31-2)이 정의된다. 한편, 제2게이트전극(36-1)에 의해 가려진 활성층도 도핑된 성은 같으나, 궁금 완료후, 동작시 서로 구별되는 두 영역이 정의되는데, 제1게이트전극(35-1)하부의 영역인 채널영역(31-3)과 채널영역(31-3)과 두 루순을 (n형 이온 또는 p형 이온)이 도핑된 소오스영역(31-1)과 드레인영역(31-2)이 정의된다.

다음으로, 제4도의 (마)와 같이, 실리콘산화막 또는 실리콘화막을 노출된 전표면을 일도록 홀학기상증착방법으로 층층한 후, 홀소전극영역 활성층(31)상의 소오스영역(31-1)과 드레인영역(31-2)은 실리콘산화막 또는 실리콘화막을 제거하여 충간절연막(39)을 형성한다. 이 충간절연막(39)은 제2홀소전극층(38)의 외곽영역의 일부만 겹쳐하도록 형성된다. 이때, 활성층(31)상의 소오스영역(31-1)과 드레인영역(31-2) 상부에 게이트절연막(32)까지 제거하여 콘택트(T₂)을 형성한다. 이어서, 홀소전극부에 전류를 충간절연막(39)을 마스크로 제2홀소전극층(38)을 식각하여 제1홀소전극층(37)의 표면을 드러내어 제1홀소전극층(37) 외곽의 일부영역의 상부에만 사각률을 날기거는 제2홀소전극층(38a)을 형성한다.

다음으로, 제4도의 (바)와 같이, 콘택트를 내부 및 노출된 겸표면상에 소오스/드레인전극 형성용 금속을, 알루미늄 또는 크롬과 같은 저저항성 금속을 적층한 후, 패턴식각하여 소오스전극(40)과 드레인전극(41)을 형성한다. 이 때, 소오스전극(40)은 제3도의 (가)도에서 볼 수 있듯이, 하부에 게이트전극에 연장하여 형성된 게이트버스라인(36-2)과 교차하여 중첩하는 데이터버스라인과 함께 형성되고, 드레인전극(41)은 일단이 홀소전극부의 제1홀소전극층(37)과 접촉되도록 형성된다.

제5도의 (가)에서 제5도의 (라)는 역광표시장치의 제조방법에 있어서, 스토리지 용량이 형성되는 각 단계를 도시한 것이다.

먼저, 제5도의 (가)와 같이, 박트랜지스터 영역에 활성층을 형성한 후, 유리기판(30)의 노출된 표면에 실리콘화막 또는 실리콘산화막으로 이중 또는 단밀 구조의 게이트절연막(32)을 형성한다. 이 후, 그 표면에 투영금속을 스퍼터방법으로 제1금속층(33)을 형성하고, 그 상부에 알루미늄 또는 크롬을 스퍼터방법으로 제2금속층(34)을 형성한다.

다음으로, 제5도의 (나)와 같이, 제2금속총을 패턴식각하여 제2개이트버스라인(36-2)을 형성하고, 이를 마스크로 제1금속총을 식각하여 제1개이트버스라인(35-2)을 형성한다. 이 때, 제1금속총을 제2개이트버스라인(35-2) 하부까지 과도식각하여 단면 프로파일이 단차를 가지는 태이를 형성시켜 되도록 한다. 여기서 제1, 제2개이트버스라인(35-2)(36-2)은 제1스토리지 용량전극이 된다.

다음으로, 제5도의 (다)와 같이, 노출된 전 표면에 실리콘화약 및 실리콘화약을 활성화시킨 후, 충각질연막(39)을 충착방법으로 적용하여 충간질연막(39)을 형성한다. 이어서, 화소전극부에 있는 충간질연막(39)을 선택적으로 제거한 후, 화소전극부의 충간질연막(39)을 마스크로 하여 제2화소전극층(38)을 제거하여 제1화소전극층(37)을 노출시킨다. 미설정 도면부호(38a)는 충간질연막을 마스크로 하여 사각률로 패턴식각된 제2화소전극층을 나타낸다.

다음으로, 제5도의 (다)와 같이, 충간질연막(39)의 상부에 소모스/드레인전극 형성용 금속물질을 스퍼터방법으로 적용한 후, 패턴식각하여 제2개이트버스라인(36-5-2)의 일부영역에서 중첩되어 화소전극부의 제1화소전극층(37)과 접촉연결되는 제2스토리지 용량전극(42)을 형성한다.

제6도의 (가)에서 제6도의 (나)는 본 발명에 따른 액정표시장치의 제 2 실시예에로서, 제1개이트전극(35-1)과 제2개이트전극(36-1)의 단면 프로파일 및 제1화소전극층(37)과 제2화소전극층(38a)의 단면 프로파일이 단차가 없이 형성하고, 소모스전극(40) 및 드레인전극(41)과 분리되어 있으며, 제2개이트전극(36-1)의 상부에 충간질연막(39)을 개재하여 소모스/드레인 형성용 금속물질과 동일물질로 제 3이트전극(43)이 형성된 구조이다. 제3개이트전극(43)은 충간질연막(39)상에 제2개이트버스라인(36-2) 또는 제2개이트전극(36-1)을 노출시키는 큰턱(Ta)을 형성되어 있어 이를 통하여 연결되도록 한 것이다. 이와 같은 구조의 액정표시장치에서는 박막트랜지스터 영역의 활성층이 제3도의 구조와 같이, 제1개이트전극(35-1) 하부의 채널영역(31-3)과 그 양측으로 제3개이트전극(43)에만 중첩되어 경의되는 누설전류 제어영역(31-4)과 두 누설전류 제어영역(31-4)에 대하여 채널영역(31-3)의 반대면에 불순물이 도핑된 소소스영역(31-1) 및 드레인영역(31-2)이 경의되어 있다.

제6도의 (가) 및 제6도의 (나)에서 예시한 구조의 액정표시장치는 박막트랜지스터가 동작함에 있어서, 누설전류 제어영역(31-4)이 제3개이트전극(43)에 의하여 저어됨으로써, 오프상태에서는 누설전류를 용이하게 제어할 수 있다.

한편, 제6도의 (가) 및 제6도의 (나)에서 제시한 구조의 액정표시장치를 제조하는 방법을, 제4도의 (가)에서 제4도의 (b)를 참조하여 설명하면, 제4도의 (가) 및 제4도의 (나)에 예시된 공정을 진행한 후, 제4도의 (다)단계에서 제2개이트전극(36-1)을 형성한 후, 제1금속총을 동일 패턴으로 식각하여 제1개이트전극(35-1)을 형성한다. 이때, 화소전극부의 제1화소전극층(37)과 제2화소전극층(38)은 두 층의 외각면 사이에 단차가 없도록 형성한다.

다음으로, 제4도의 (다)단계에서, 이온주입시, 제1, 제2개이트전극(35-1)(36-1)의 양측면에 소경두께의 이온주입 마스크를 형성한 후, 이온주입하여 소모스영역(31-1)과 드레인영역(31-2)과 두 누설전류제어영역(31-4) 및 채널영역(31-3)을 경의하고, 이온주입 마스크를 제거한다. 이 때, 이온주입 마스크의 성질에 따라서, 제거공정을 별도로 진행하지 않을 수도 있다.

다음으로, 제4도의 (마)에 예시된 단계에서, 소모스영역(31-1) 및 드레인 영역(31-2)의 충간질연막을 패터닝하면서 동시에 화소전극부의 화소전극층(38)의 일부영역을 노출시킨다. 이후, 충간질연막을 마스크로 하여 노출된 제2화소전극층을 사진식각함으로써 제1화소전극층을 노출시킨다.

다음으로, 제4도의 (바)에 예시된 단계에서, 소모스전극(40)과 드레인 전극(41)을 형성시키면서, 제2개이트전극 상부 및 활성층에 경의된 누설전류제어영역(31-4)과 중첩되는 영역에도 소모스/드레인전극 형성용 금속물질을 날도록 하여, 제3개이트전극(43)을 형성한다.

이상의 본 명세서에서는 투과형 액정표시장치 및 제조방법에 관한 하위설명으로서, 제7도의 (가) 및 제7도의 (나)는 본 발명의 액정표시장치 및 제조방법의 기술적 사상을 반사형 액정표시장치 및 제조방법에 적용한 실시례로 설명하기 위하여 예시한 명도도 및 단면도이다.

제7도의 (가) 및 (나)와 같이, 최하부에 활성층(51)을 가지고, 게이트절연막을 개재하여 크롬 또는 알루미늄과 같은 반사성이 좋은 금속으로 게이트전극(55-1) 및 화소전극(56)이 형성되어 있고, 그 상부에 큰턱(Ta)을 가지는 충간질연막(57)을 개재하여 소모스전극(58) 및 드레인전극(59)이 형성된 구조로서, 드레인전극(59)은 게이트전극(55-1)과 동일물질로 동일층에 형성된 화소전극(56)과 연결된 구조를 가지고 있다.

이와 같은 본 발명의 기술적 사상을 적용한 반사형 액정표시장치를 제고하는 방법을 설명하면 다음과 같다.

먼저, 유리기판(50) 위에 활성층(51)을 형성한 후, 활성층(51) 및 유리기판(50)의 노출된 전표면에 게이트절연막(52)을 형성한다. 이어서, 게이트절연막(52)의 상부에 반사성이 좋은 금속물질을 적용한 후 패턴식각하여 게이트전극(55-1) 및 게이트버스라인(55-2)과 화소전극(55)을 형성한다. 이후, 게이트전극(55-1)을 마스크하여 활성층(51)에 이온주입을 실시하여 활성층(51)에 소모스/드레인영역(51-1)(51-2)과 누설전류제어영역(51-4)과 채널영역(51-3)을 경의한다. 이후, 상부에 충간질연막(57)을 형성한 다음, 충간질연막(57)에 소모스/드레인영역 상부의 큰턱(Ta)들을 형성시킴과 동시에 화소전극(55)상부를 노출시킨다. 이후, 큰턱을 내부 및 노출된 전 표면에 소모스/드레인전극 형성용 금속물질을 적용한 후, 패턴식각하여 소모스전극(58)과 드레인전극(59)을 형성한다. 이 때, 드레인전극(59)은 화소전극(56)의 일부와 접촉하도록 형성한다.

본 발명의 액정표시장치는 박막트랜지스터에 있어서, 제1개이트전극과 패턴식각하여 단차를 가지므로 하면이 노출되는 제2개이트전극과 중첩되는 활성층에 대해서는 게이트절연막의 두께가 두꺼워진 것과 같은 효과를 내게 되어서 오프상태에서의 드레인 접합부분의 전류를 억제하여 하여 누설전류를 감소시킨다. 또한, 화소전극부에서 외곽부에 날은 제2화소전극층은 빛을 투과시키지 않으므로 부분적으로 대트릭스 역할을 할 수 있다.

또한 본 발명의 액정표시장치에 있어서, 적은 공정스텝을 사용하여 액정표시장치를 사용할 수 있고 이와 더불어 낮은 누설전류를 가지는 액정표시장치를 제작할 수 있다.

(57) 청구의 범위

청구항 1.

복수개의 회소 각각에 복수개의 스위칭 소자인 박막트랜지스터와 상기 박막트랜지스터에 연결되는 복수개의 화소전극을 구비하는 액정표시장치에 있어서, 상기 박막트랜지스터는 절연기판과, 상기 절연기판 상에 형성되는 활성층과, 상기 활성층 상에 형성되는 게이트절연막과, 상기 게이트절연막의 소정의 위치에 형성되어 상기 활성층에 채널영역을 정의하는 제1게이트전극과, 상기 제1게이트전극 상에 위치하고, 상기 제1게이트전극의 하면보다 넓은 하면을 가지도록 형성되어 상기 활성층의 채널영역의 양측에 누설전류 제어영역을 정의하는 제2게이트전극과, 상기 활성층 내의 상기 누설전류 제어영역의 외측에 형성되는 소오스영역 및 드레인영역과, 상기 제2게이트전극과 상기 제1게이트전극 및 노출된 기판에 형성되고, 상기 소오스영역과 상기 드레인영역을 노출시키는 충간절연막과, 상기 소오스영역에 연결되는 드레인전극을 구비하는 액정표시장치.

청구항 2.

제1항에 있어서, 상기 제1게이트전극은 산화인동(ITO)과 같은 투명도전율질로 형성된 것이 특징인 액정표시장치.

청구항 3.

제1항에 있어서, 상기 제2게이트전극은 알루미늄(Al), 크롬(Cr), 티타늄실리사이드(TiSix) 또는 폴리브텐실리사이드(MoSix)과 같은 금속을질로 형성된 것이 특징인 액정표시장치.

청구항 4.

제2항 또는, 제3항에 있어서, 상기 화소전극은 상기 박막트랜지스터의 드레인전극에 연결되고, 상기 절연기판 위에 형성된 게이트절연막 상에 상기 제1게이트전극과 같은 물질로 형성된 제1화소전극층과, 상기 제1화소전극층의 외곽 일부영역과 중첩되도록 상기 제2게이트전극과 중일 물질로 형성된 제2화소전극층을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 5.

제4항에 있어서, 상기 제1, 제2게이트전극과 중일 구조로 연장형성된 제1, 제2게이트버스라인의 일부 영역을 제1스토리지 용량전극으로 하고, 상기 충간절연막을 사이에 두고 상기 제1스토리지 용량전극과 일부 중첩되며, 상기 제1화소전극층과 연장형성된 제2스토리지 용량전극을 구비하는 스토리지 용량을 가지는 것이 특징인 액정표시장치.

청구항 6.

제1항에 있어서, 상기 제2게이트전극은 상기 제1게이트전극과 같은 형상으로 형성되고, 상기 충간절연막 상에 위치하여 상기 반도체층의 채널영역과 상기 소오스/드레인 영역 사이에 누설전류 제어영역을 정의하도록 형성되고, 상기 제2게이트전극과 상기 충간절연막에 형성된 콘택홀을 통하여 상기 제2게이트전극에 연장된 제2게이트버스라인에 연결되는 보조게이트전극을 가지는 것을 특징으로 하는 액정표시장치.

청구항 7.

제6 항에 있어서, 상기 보조게이트전극이 상기 소오스전극 및 상기 드레인전극의 동일배선재로 형성된 것이 특징인 액정표시장치.

청구항 8.

복수개의 화소 각각에 복수개의 스위칭 소자인 박막트랜지스터와 상기 박막트랜지스터에 연결되는 복수개의 화소전극을 구비하는 액정표시장치에 있어서, 절연기판과, 상기 절연기판 상에 형성되는 활성층과, 상기 활성층 상에 형성되는 게이트절연막과, 상기 게이트절연막의 소정의 위치에 반시도기 높은 물질로 형성되어 상기 활성층에 채널영역을 정의하는 게이트전극과, 상기 활성층의 양측에 형성되는 소오스영역 및 드레인영역과, 상기 활성층에 위치하고, 상기 소오스영역과 상기 채널영역 사이 및 상기 드레인영역과 상기 채널영역 사이에 정의되는 누설전류 제어영역과, 상기 게이트전극과 노출된 기판에 형성되고, 상기 소오스영역과 상기 드레인영역에 연결되는 드레인전극과, 상기 박막트랜지스터의 드레인전극에 연결되고, 상기 게이트절연막 상에 상기 게이트전극과 같은 물질로 형성되는 화소전극을 포함하여 이루어지는 액정표시장치.

청구항 9.

박막트랜지스터부와 화소전극부를 구비하는 액정표시장치의 제조방법에 있어서,

- 1) 절연기판 위에 반도체층을 적층한 후, 도상의 활성층을 형성하는 단계,
- 2) 상기 활성층 및 노출된 절연기판 전면에 걸쳐 제1절연막과 제1도전층과 제2도전층을 차례로 적층하는 단계 와,
- 3) 상기 제2도전층을 사진식각하여 제1게이트전극과 상기 제1게이트전극에 연장되는 제1게이트버스라인을 형성하는 단계 와,
- 4) 상기 제1도전층을 사진식각하여 상기 제1게이트전극이 둘출되게 하되, 활성층에 채널영역을 정의하는 제2게이트전극과 상기 제2게이트버스라인을 형성하는 단계 와,
- 5) 상기 제1게이트전극을 마스크로 상기 활성층에 이온주입 또는 이온도핑하여 상기 제1게이트전극의 외측영역에 해당하는 상기 활성층 부분에 소오스영역 및 드레인영역을 형성하고, 상기 채널영역과 상기 소오스영역 및 상기 드레인영역 사이에 누설전류 조절영역을 정의하는 단계 와,
- 7) 기판 전면에 걸쳐 제2절연막을 형성하는 단계 와,
- 7) 상기 제2절연막의 및 상기 제1절연막을 사진식각하여 상기 활성층의 상기 소오스영역 및 드레인영역을 노출시키는 콘택홀들을 형성하는

단계와.

8) 상기 콘택들을의 내부 및 기판 면면에 제3도전층을 적층한 후, 패터닝하여 소오스전극과 상기 소오스전극에 연장되는 데이타버스라인과 드레인전극을 형성하는 단계를 포함하여 이루어지는 액정표시장치의 제조방법.

청구항 10.

제9항에 있어서, 1)단계에서, 상기 활성층은 비정질 실리콘은 화학기상 증착방법으로 적층한 후, 열처리 또는 레이저 어닐링하여 활성화한후, 상기 활성층을 형성하는 것을 특징으로 하는 액정표시장치.

청구항 11.

제9항에 있어서, 상기 제1도전층은 산화인듐(ITO)과 같은 두명도전물질로 형성하는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 12.

제9항에 있어서, 상기 제2도전층은 알루미늄(Al), 크롬(Cr), 티타늄실리사이드(TiSi_x), 몰리브덴실리사이드(MoSi_x) 또는 도우핑된 다결정 실리콘(doped polySi) 등의 도전물질중 하나로 형성하는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 13.

제9항에 있어서, 상기 화소전극부에는 상기 제2도전층과 상기 제1도전층의 일부를 전류시키는 단계와, 상기 활성층의 상기 소오스영역 및 드레인영역을 노출시키는 단계를 형성시, 상기 제 1 절연막과 상기 전류된 제2도전층을 사진식각하여 상기 제1도전층을 노출시키는 단계와, 상기 드레인전극을 형성할때, 상기 드레인전극이 노출된 상기 제1도전층에 연결하는 단계를 포함하여 이루어지는 액정표시장치의 제조방법.

청구항 14.

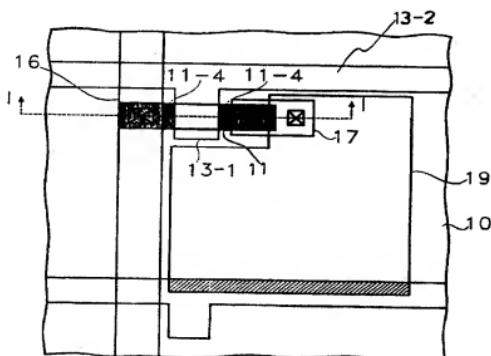
제9항에 있어서, 상기 제3도전층을 식각하는 과정에서, 상기 게이트버스라인에 상기 제2줄연막을 사이에 두고 중첩되게 하여 상기 게이트버스라인을 제1스토리지 용량전극으로 하는 제2스토리지 용량전극을 형성하는 단계를 포함하는 것이 특징인 액정표시장치의 제조방법.

청구항 15.

제9항에 있어서, 상기 제2게이트전극을 상기 제1게이트전극과 동일한 형상으로 형성하여 상기 활성층에 채널영역을 정의하고, 상기 제2줄연막 상에 상기 제3도전층을 사진식각하되, 상기 제1게이트버스라인에 연결되게 형성하여 상기 활성층에 전류누설 조절영역을 정의하는 보조게이트전극을 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

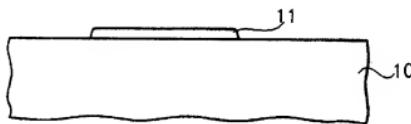
도면

도면 1



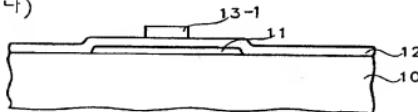
도면 2a

(가)



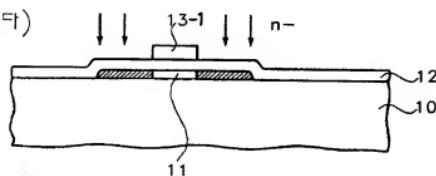
도면 2b

(나)



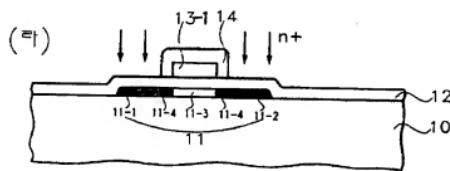
도면 2c

(다)



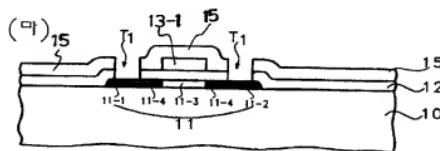
도면 2d

(라)

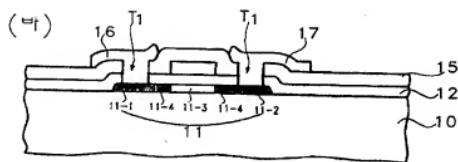


도면 2e

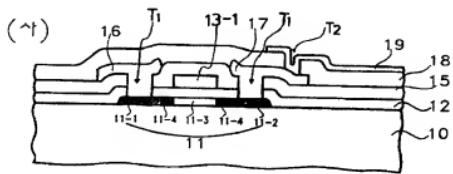
(마)



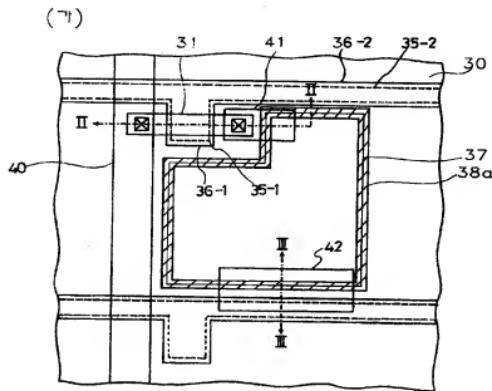
도면 2f



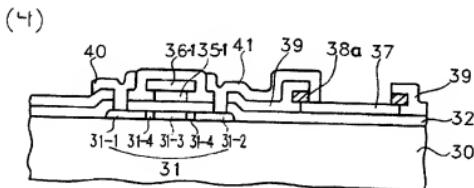
도면 2g



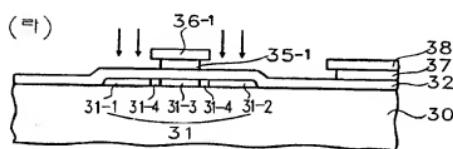
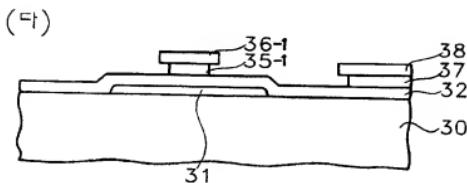
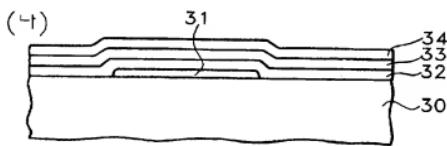
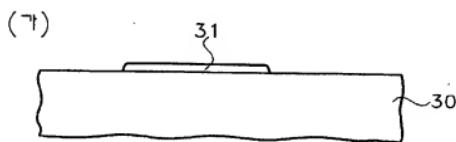
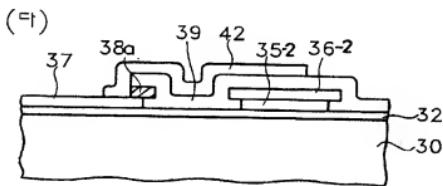
도면 3a

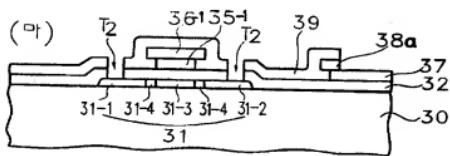


도면 3b

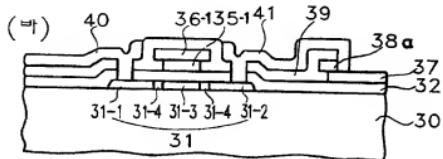


도면 3c





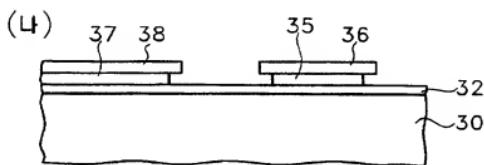
도면 4a



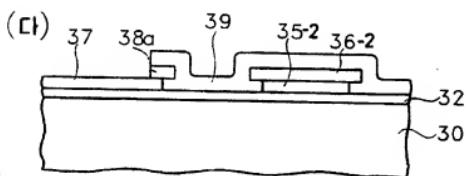
도면 5a



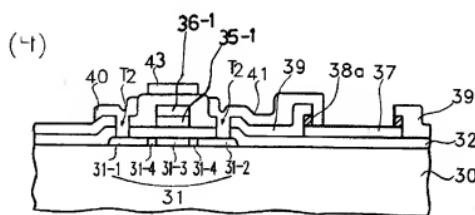
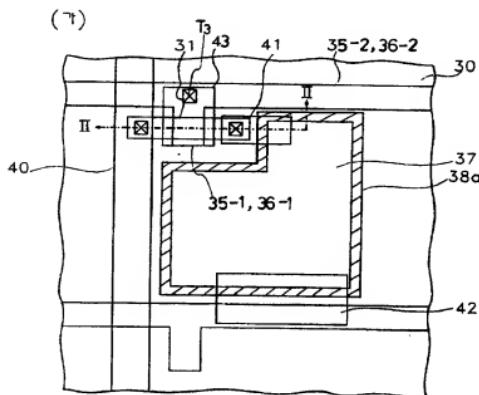
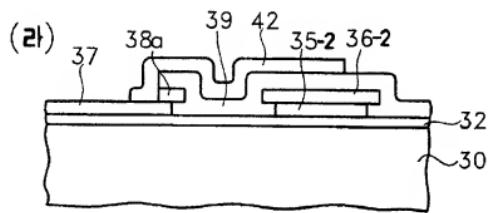
도면 5b

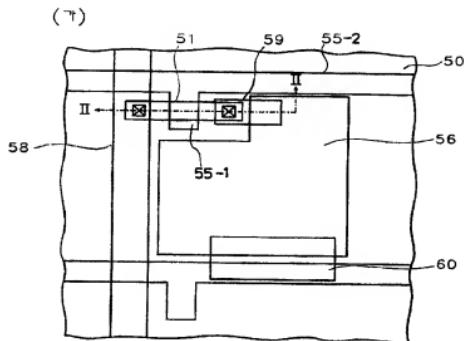


도면 5c



도면 5d





도면 7b

